

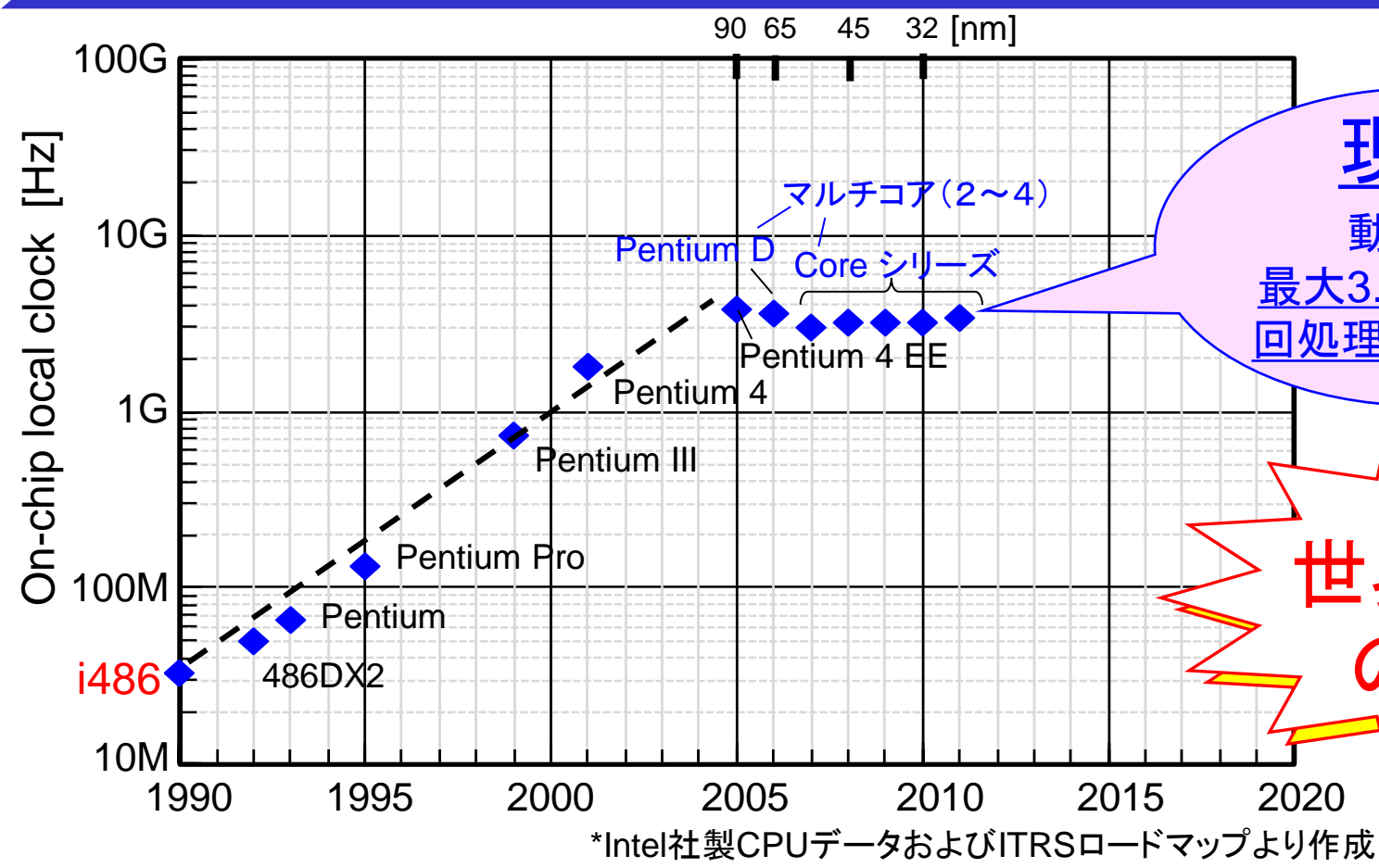
自動車用パワー半導体 デバイス製造技術の創出

平成24年 11月 9日

東北大学 未来科学技術共同研究センター

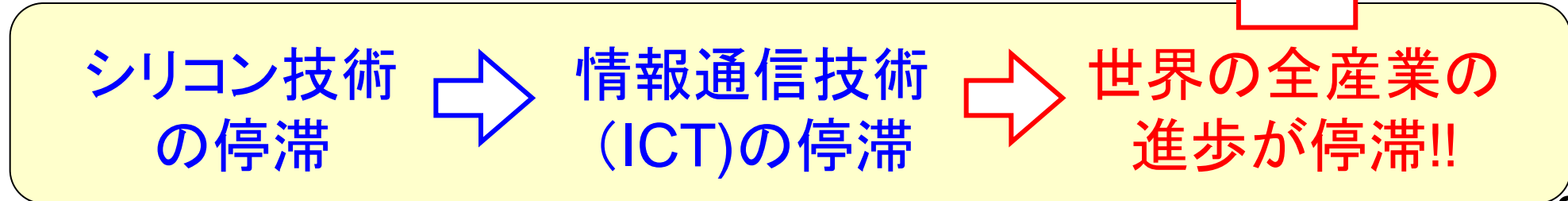
大見 忠弘

ゲート絶縁膜の薄膜化とデバイス寸法の微細化だけで 性能向上を遂げてきたシリコンLSIの性能向上が完全に停滞

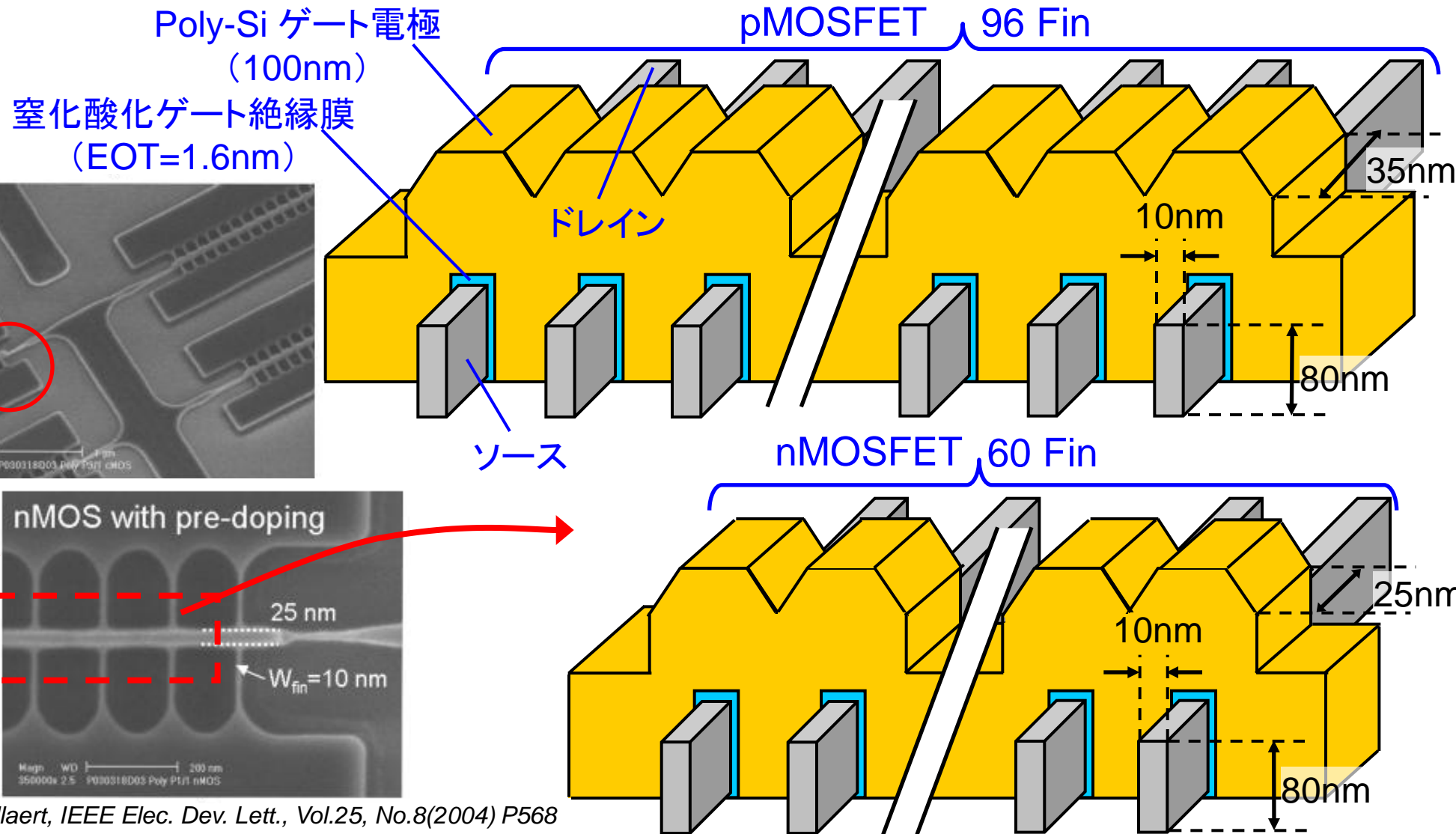


現状
動作速度
最大3.8GHz (38億
回処理/秒) で停滞!!

**世界同時不況
の真最中!!**



3次元構造Si(100)面 Fin-FET (IMEC)

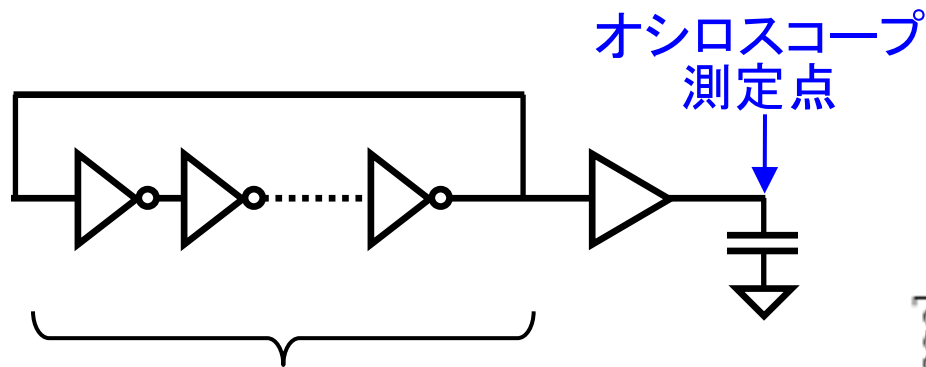


* N. Collaert, IEEE Elec. Dev. Lett., Vol.25, No.8(2004) P568

25nm~35nm の微細化チャネルを有する複雑なFin-FETでさえも
 ゲート遅延が 60psec (3GHz クロック動作) までしか性能が向上しない！！
 ⇒ 現状のシリコン技術は完全に限界!!

ゲート遅延とリングオシレータの発振周波数

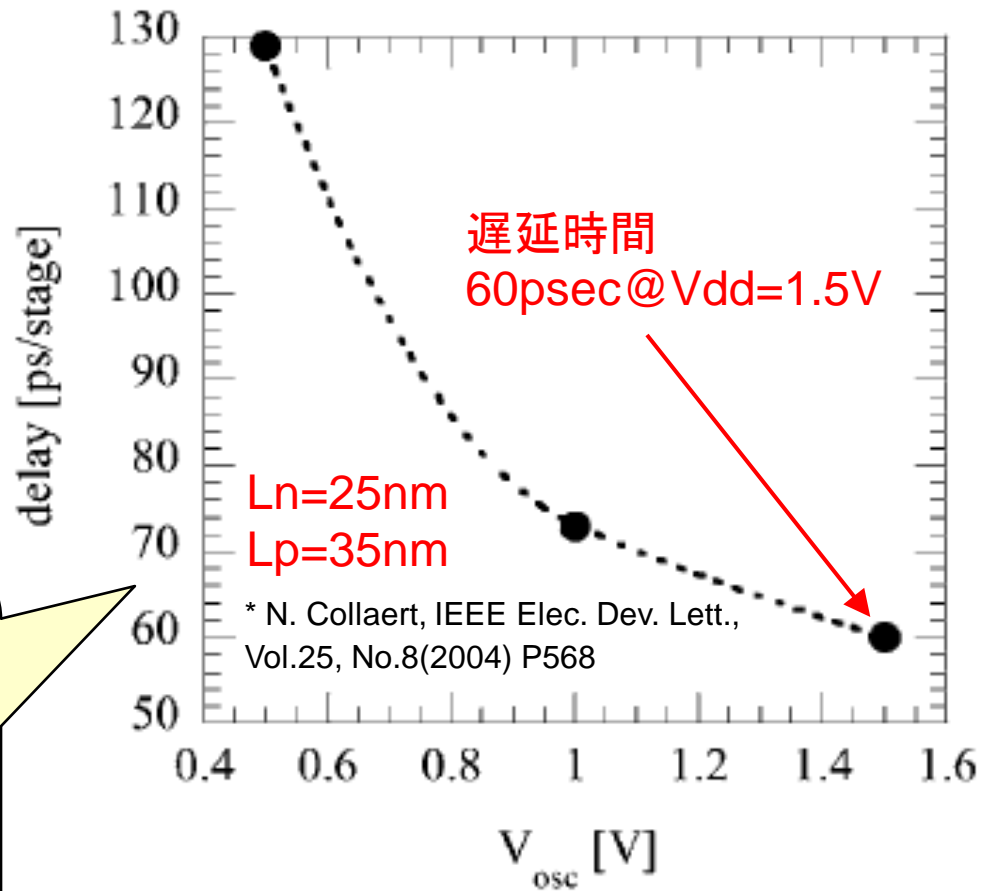
リングオシレータ回路



41段構成

(100) Si表面3次元構造 Fin-FET

のゲート遅延時間 (IMEC)



☆この結果を見て世界中の技術者・研究者が“シリコン技術もはやこれまで!!”

寸法微細化に替るデバイス性能を向上させる別の方向

☆ 世界の情勢：“シリコン技術もはやこれまで、これからは化合物半導体だ、いやゲルマニウム (Ge) だ、いやその Heterogeneous Integrationだ”

⇒ 全くの間違った考え

化合物半導体やゲルマニウムでは超高速のLSIは絶対に作れない

理由：金属電極と n^+ 領域、 p^+ 領域の接触抵抗が小さくできないため、ソース電極・ドレイン電極の直列抵抗が大きく、電流駆動能力の大きいトランジスタはできないため超高速のLSIは作れない!!

☆ 超高速のLSIが作れるのはシリコンだけである。

理由：シリコンは金属との合金であるシリサイドが形成できるため、 n^+ 領域、 p^+ 領域との接触抵抗が十分小さくできるからである。

ゲート絶縁膜の薄膜化とデバイス寸法の微細化だけで
性能向上を遂げてきたシリコンLSIの性能向上が完全に停滞

65 nm \Rightarrow 45 nm \Rightarrow 32 nm \Rightarrow 22 nm \Rightarrow 16 nm
 \Rightarrow 11 nm \Rightarrow 7 nm \Rightarrow 5 nm \Rightarrow 3.5 nm \Rightarrow 1.8 nm

☆ 物質の中を流れる電子には平均自由工程あり!!

\Rightarrow 金属配線の太さを平均自由工程より細くしたら抵抗激増

\Rightarrow トランジスタの電流駆動能力激減

\Rightarrow LSIの動作速度激減

☆ 銅の電子の平均自由工程 : 40 nm

\Rightarrow 微細化は40nm程度に留めておいて、デバイス性能向上は別の方向で見つけ出す!!

☆ 現状のシリコン技術は、MOSTランジスタのゲート絶縁膜を反応力をまったく持たない O_2 分子や H_2O 分子を用いた高温熱酸化

⇒ (100)面にだけ程々の品質の SiO_2 形成可能

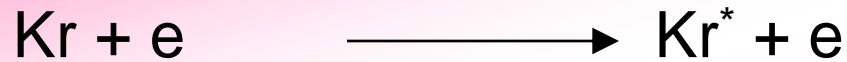
⇒ 現状のシリコン技術 : 2次元平面形状のMOSTランジスタを用いて (100)表面にだけLSI製造可能

⇒ シリコン結晶の有する性能のうちごく限定された性能のみ利用可能

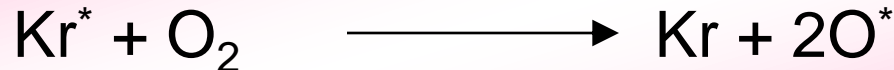
☆ シリコン結晶の有する全性能を完全に活用するためには、3次元立体構造のMOSTランジスタを自在に駆使して、任意の面方位のシリコン表面上にLSIを製造できるようにする ⇒ ラジカル酸化・ラジカル窒化

☆ これまで世界中の誰にもできなかった事をやり遂げるには、必ず新しい製造装置が必要である!!

ラジカル酸化・窒化の反応式

★ **Oxidation**: シリコン表面に酸化膜形成

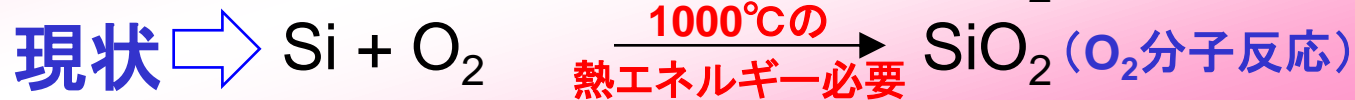
Kr: クリプトン



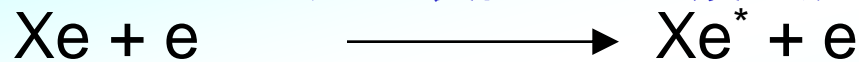
O: 酸素



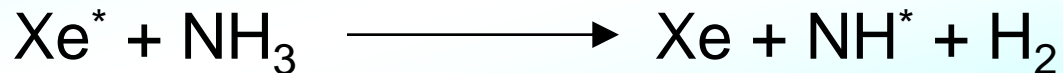
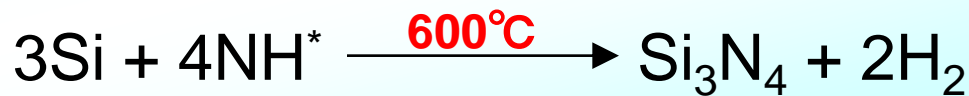
Si: シリコン



(100)面のみ

★ **Nitridation**: シリコン表面に窒化膜形成

Xe: キセノン

NH₃: アンモニア

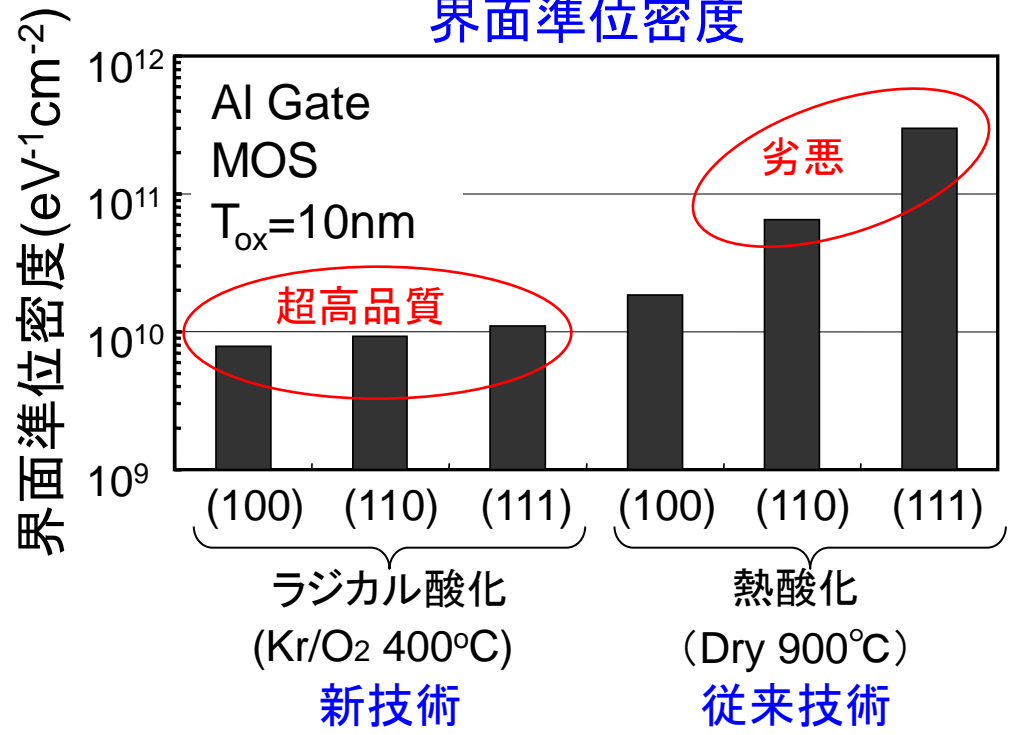
Si: シリコン

★ 大学が学生諸君に教える学問がそのまま生産現場で行える時代の到来

★ Kr、Xe 極めて高価なガス \Rightarrow その場で完全回収・循環システム★ 全ての面方位のSi(シリコン)上に、超高品質のSiO₂、Si₃N₄膜を同じ速度で成膜

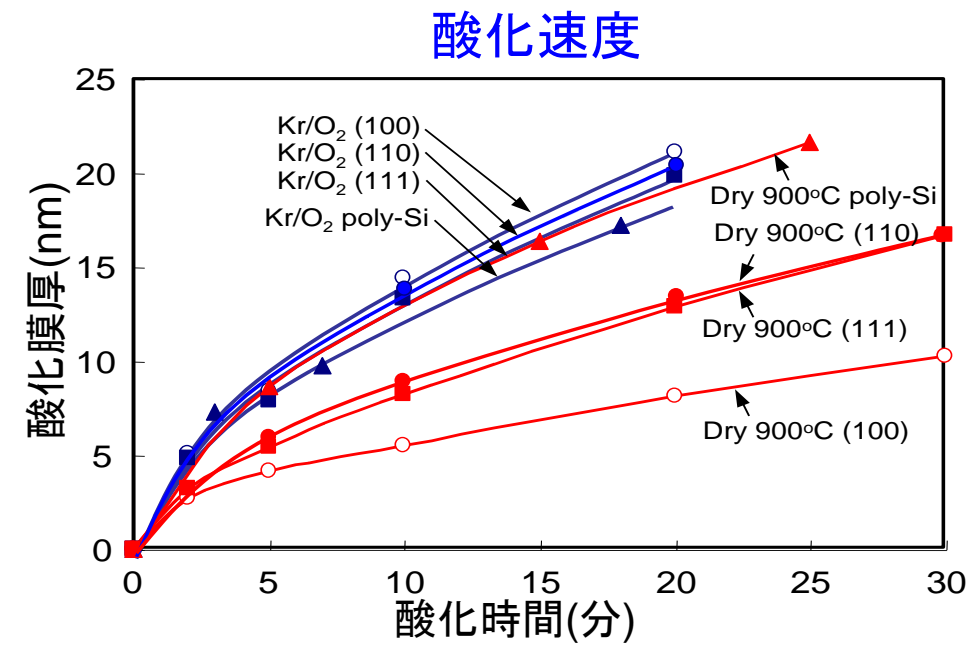
学問に裏付けられた本物の産業技術だけが通用する時代

ラジカル酸化による超高品質SiO₂



ラジカル酸化: すべての面方位のシリコン表面上に同じ膜質のSiO₂膜が同じ成膜速度で形成される。

⇒ **三次元立体構造MOSトランジスタ**

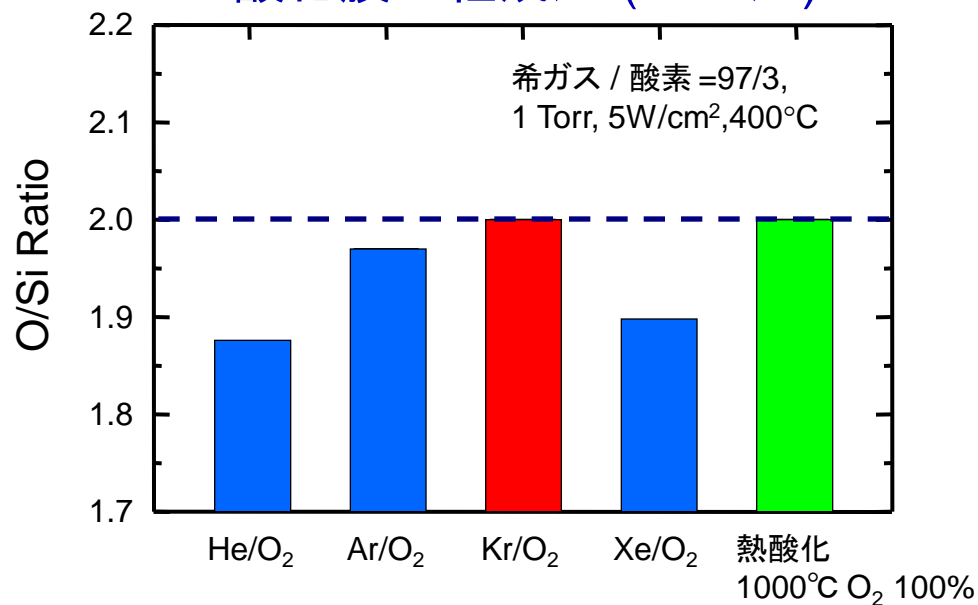


- 従来技術: 熱酸化 (Dry 900°C)
- ⇒ 酸化速度が基板面方位により異なる
 - ⇒ 同じ膜質の酸化膜が形成されていない!!
- 新技術: ラジカル酸化 (Kr/O₂ 400°C)
- ⇒ 基板面方位に依らずほとんど同じ酸化速度
 - ⇒ 基板面方位に依らず超高品質の酸化膜が形成!!

Kr / O₂プラズマによる原子状酸素の酸化レートはSi表面の面方位、結晶状態 (結晶または多結晶) またはドーピング濃度に依存しない。

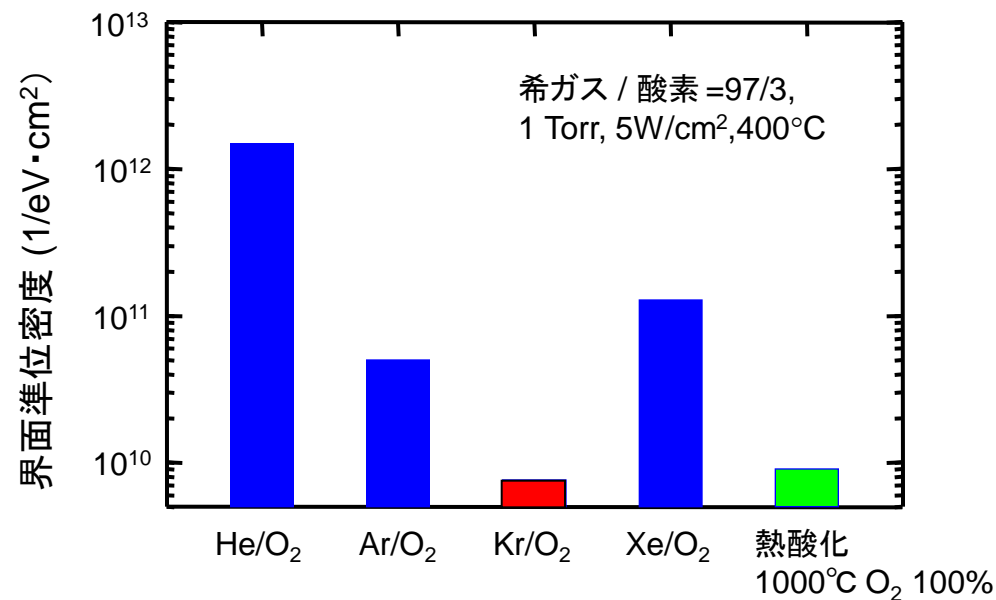
マイクロ波励起Kr/O₂プラズマを用いたシリコン直接酸化

酸化膜の組成比 (O/Si比)



完全に化学量論比に等しい組成比

界面準位密度



熱酸化膜より低い界面準位密度

Kr/O₂ : 形成される酸化種O* (酸素ラジカル)

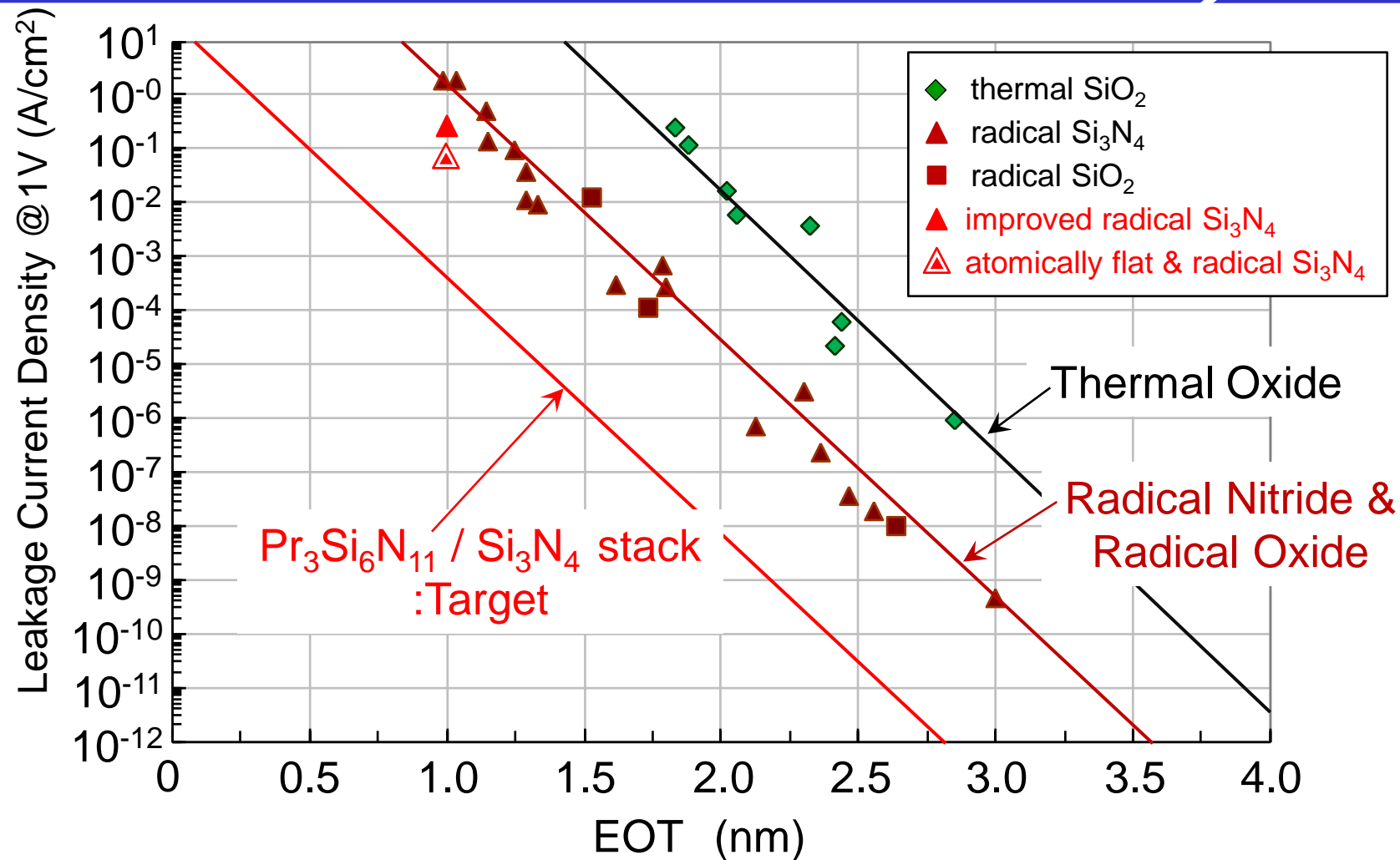
⇒ 400°Cと低い温度でも酸化膜中を自由に動き回って完全酸化

Ar/O₂, He/O₂, Xe/O₂ : 形成される酸化種O₃ (オゾン) やO₂⁺

⇒ 400°Cでは酸化膜中を動き回れず、未酸化のSi残る

⇒ 酸素欠損型の酸化膜

マイクロ波励起プラズマを用いたシリコン直接酸化・窒化

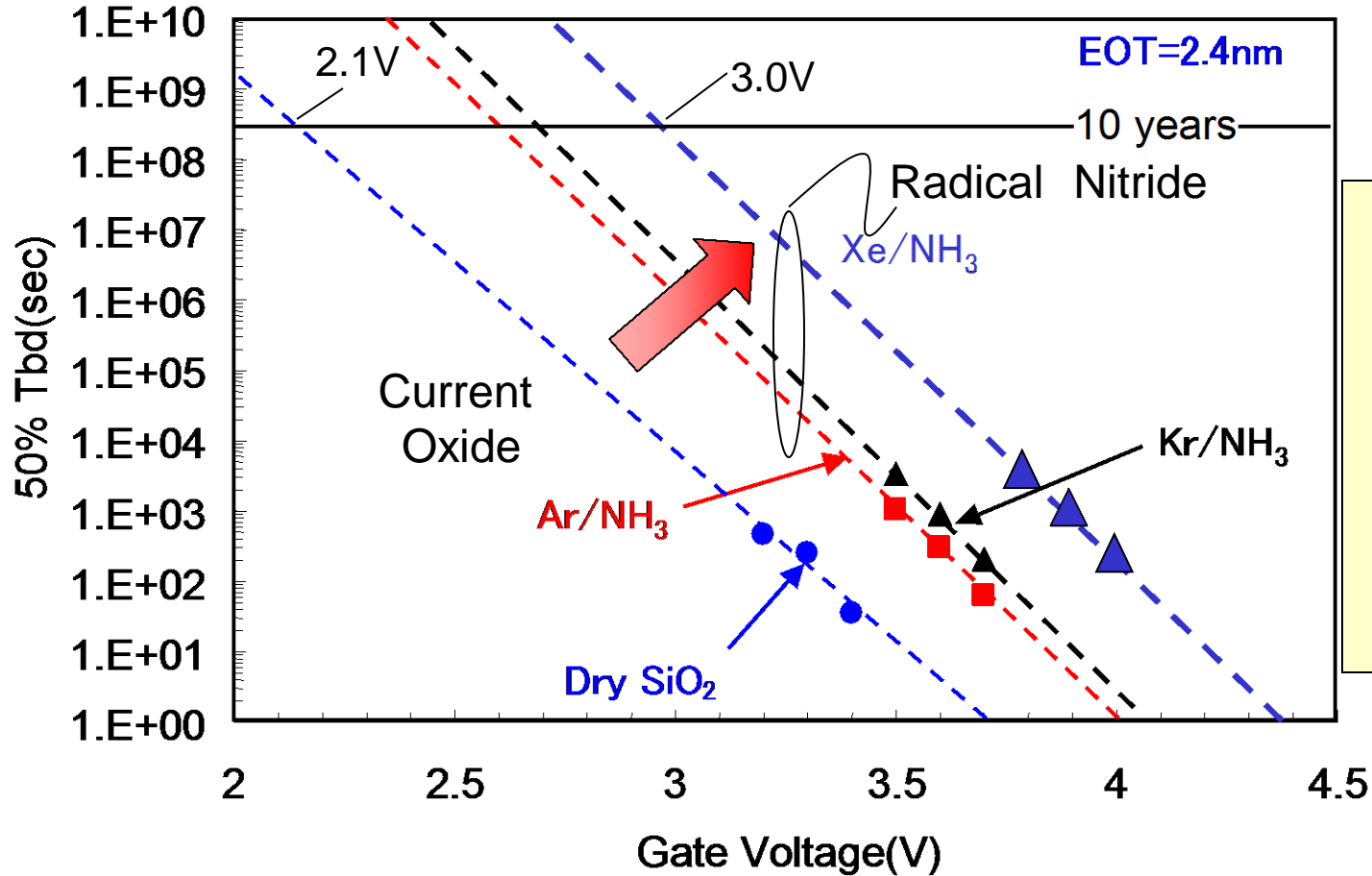


従来の酸化膜とラジカル酸化膜・窒化膜のリーク電流の膜厚依存性

ラジカルを用いて形成した酸化膜・窒化膜は従来の酸化膜に比べてリーク電流が3桁以上低減する

高信頼性ゲート絶縁膜

従来の酸化膜とラジカル窒化膜のTDDDB



ラジカル窒化膜
電源電圧 (2.1→3.0V)
速度：2倍
移動度：2倍
↓
LSI動作速度：4倍

ラジカル窒化膜の寿命 (TDDDB) 従来の酸化膜に比べ30000倍向上する

現状のシリコン技術の行き詰まりを克服する学問に基づいた本物のシリコン技術



(I) ゲート絶縁膜・シリコン界面の原子オーダーの平坦化

※現状1.5nm~2.0nmの界面凹凸を0.13nmの凹凸に⇒界面凹凸散乱が激減して、特に大きなゲートバイアスに対して、電子・ホール移動度が向上してCMOSの動作速度向上

(II) ゲート絶縁膜にラジカル窒化膜(Si₃N₄)の導入

(III) ソース・ドレイン電極直列抵抗の2桁低減

※現状の $1 \times 10^{-8} \Omega \cdot \text{cm}^2$ の接触抵抗を $1 \times 10^{-10} \Omega \cdot \text{cm}^2$ へ⇒負帰還効果がまったく無くなって、トランジスタの実効相互コンダクタンスが大きくなってCMOSの動作速度向上

(IV) Accumulation Mode MOSTランジスタの全面導入

※SOI: Silicon on Insulator基板の導入へ⇒クーロン散乱が効かなくなって電子・ホール移動度が大きくなると共に、On/Off時のゲート絶縁膜及びチャネルシリコン層の垂直方向の電界の向きが逆方向になるため、動作電圧が、大きくできてCMOSの動作速度向上。

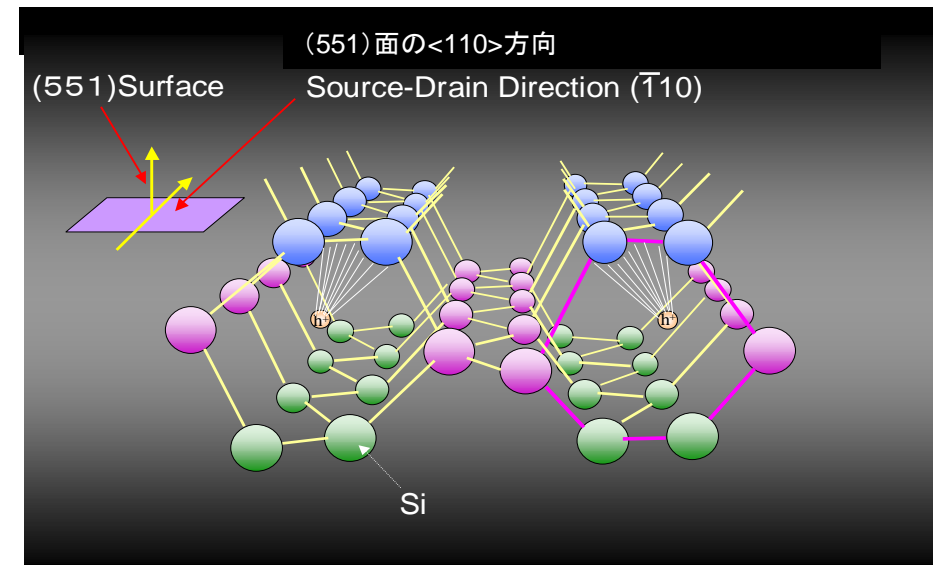
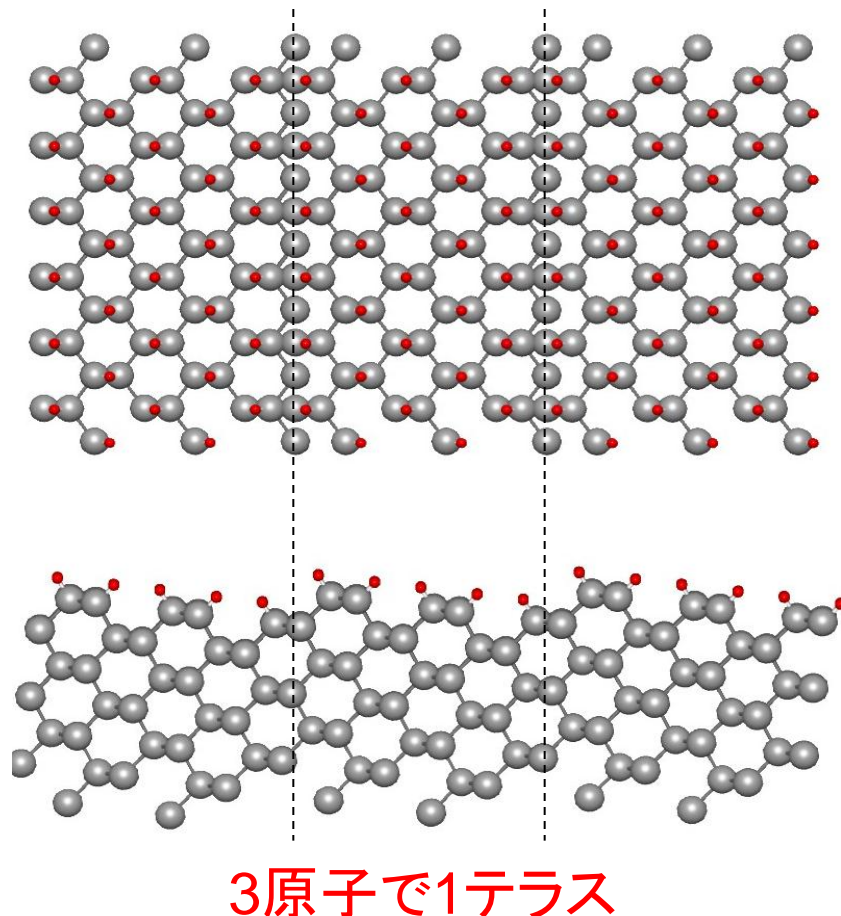
(V) CHx (2.8) / CFx (1.9) 積層低誘電率層間膜

(VI) (551)面シリコン基板の導入(現状は(100)面シリコン基板)

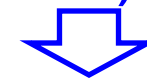
※トランジスタのゲート絶縁膜はSi₃N₄膜(1nmまで)、Pr₃Si₆N₁₁/ Si₃N₄膜(1nmより薄い領域)⇒ホール移動度が大きくなってCMOSの動作速度向上

シリコン(551)面の導入

(551)面 \Rightarrow (110)面から $\langle 001 \rangle$ 方向へ 8° オフした面



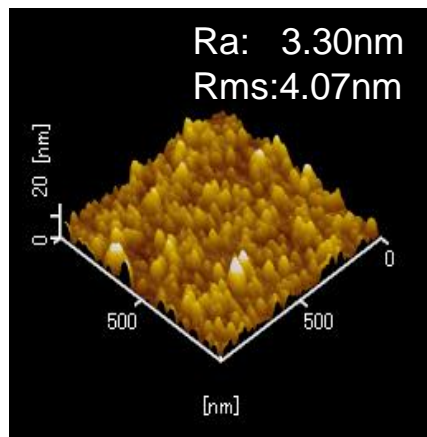
(110)面 : 2,000年



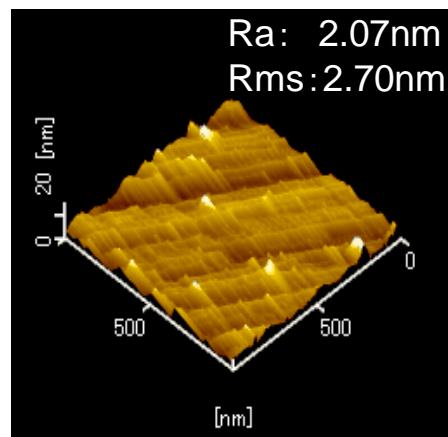
(551)面 : 2,007年

アンモニア/H₂O (1/100), RT, 10min,

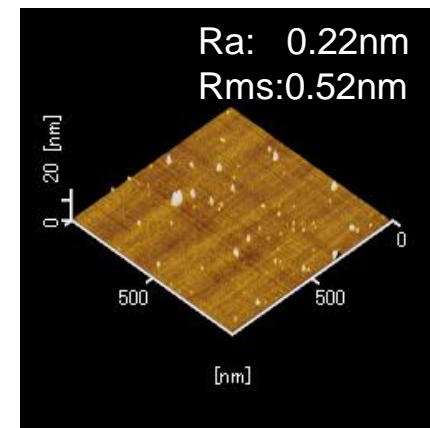
Cz-N(100)



Cz-N(110)

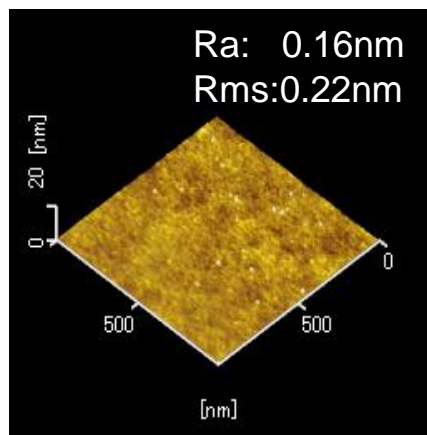


Cz-N(551)

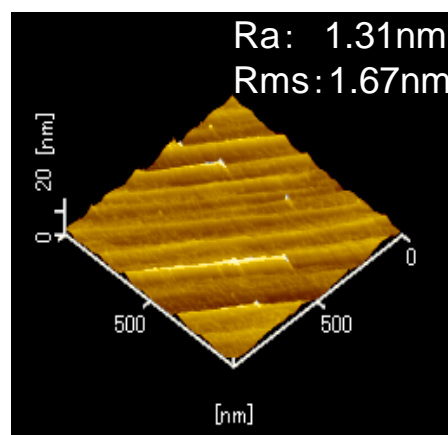


空気雰囲気
酸素飽和超純水,
光照射 (10,000lx)

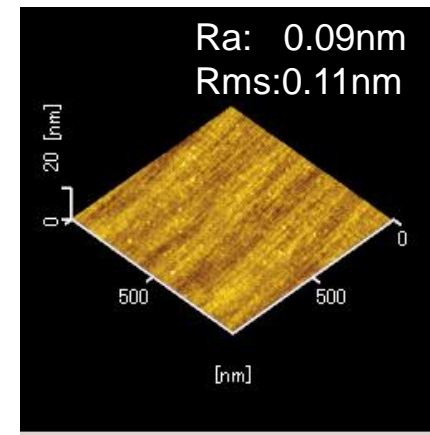
Ra: 0.16nm
Rms:0.22nm



Ra: 1.31nm
Rms:1.67nm



Ra: 0.09nm
Rms:0.11nm

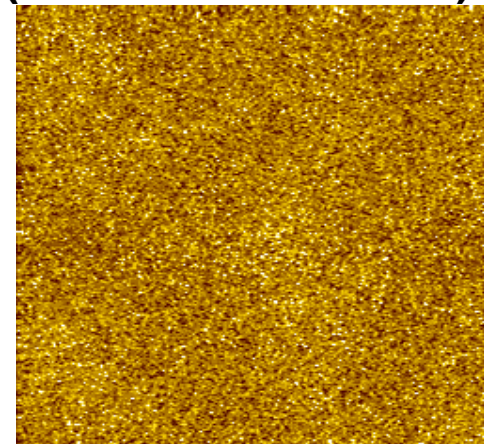


窒素雰囲気
水素添加超純水
(O₂:<1ppb),
遮光条件

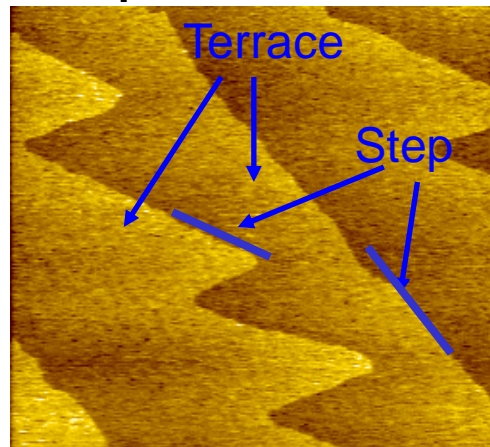
- Si(100)面、(551)面ともに、アルカリ溶液でも溶存酸素・光が無ければラフネスは発生しない ⇨ 大気遮断・光遮断ウェットプロセス
- Si(551)面は(110)面に比べ、ラフネス増加が非常に小さい

Ar雰囲気アニール前後のSi(100)表面のAFM観察像

Before Annealing
(機械的・化学的研磨後)

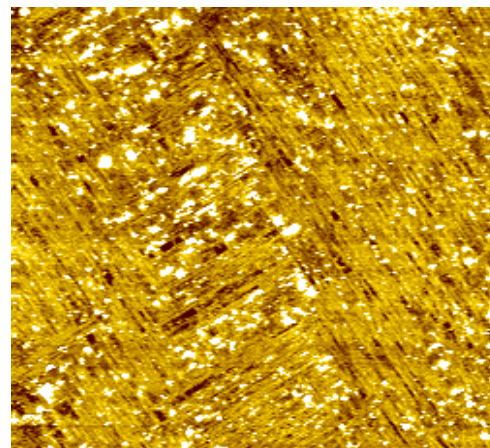


Ra=0.12 nm

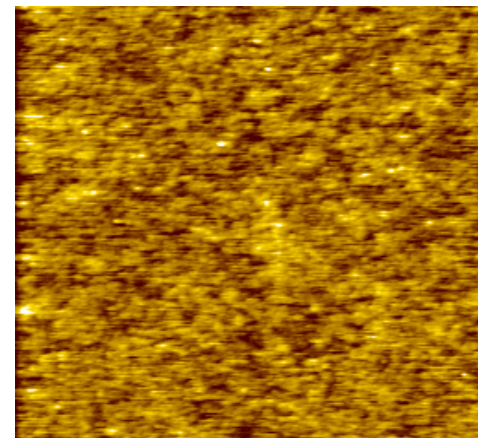


Clean Ar ambient
1200°C30分アニール
Ra=0.03nm
(noise level)

After Annealing



O₂ ~ 100ppm
1200°C30分アニール
Ra > 0.30 nm

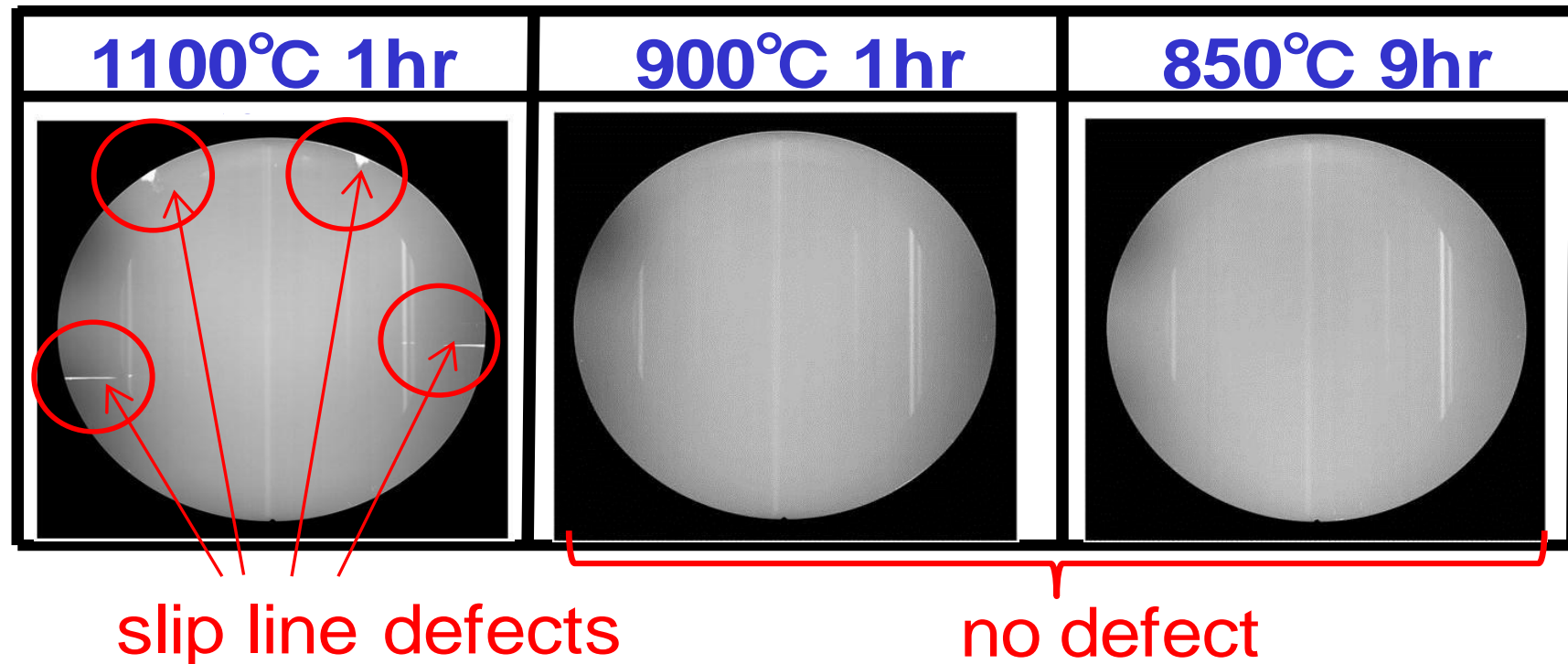


O₂ ~ 2000ppm
1100°C30分アニール
Ra = 0.11 nm
Oxide film thickness:
17nm

※ Ra: Average roughness in terrace

酸素・水分濃度を徹底的に抑えることにより、原子オーダーで完全に平坦な
テラス&ステップから構成される原子オーダー平坦表面を得た

Measured by X-ray Topography



900°C以下の熱処理により、結晶欠陥を発生しないSi(100)表面の原子オーダー平坦化を実現

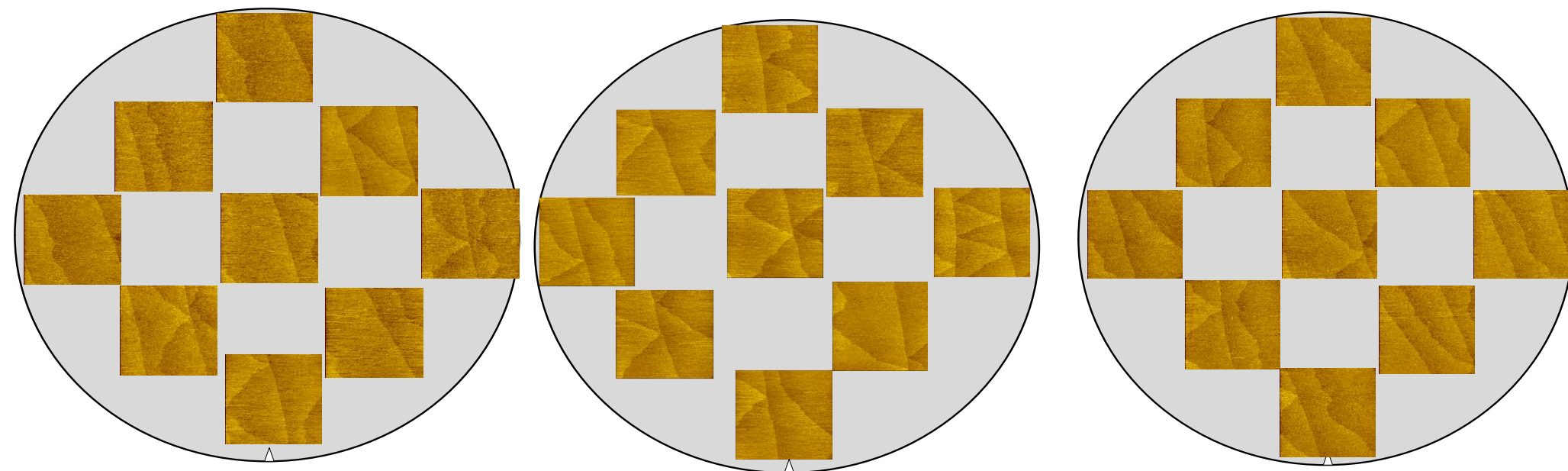
900°C以下の原子オーダー平坦化はLSI製造に適用可能

➤ Ar ambient annealing with gas flow rate of 14slm

800°C for 80 hours

850°C for 9 hours

900°C for 1 hours

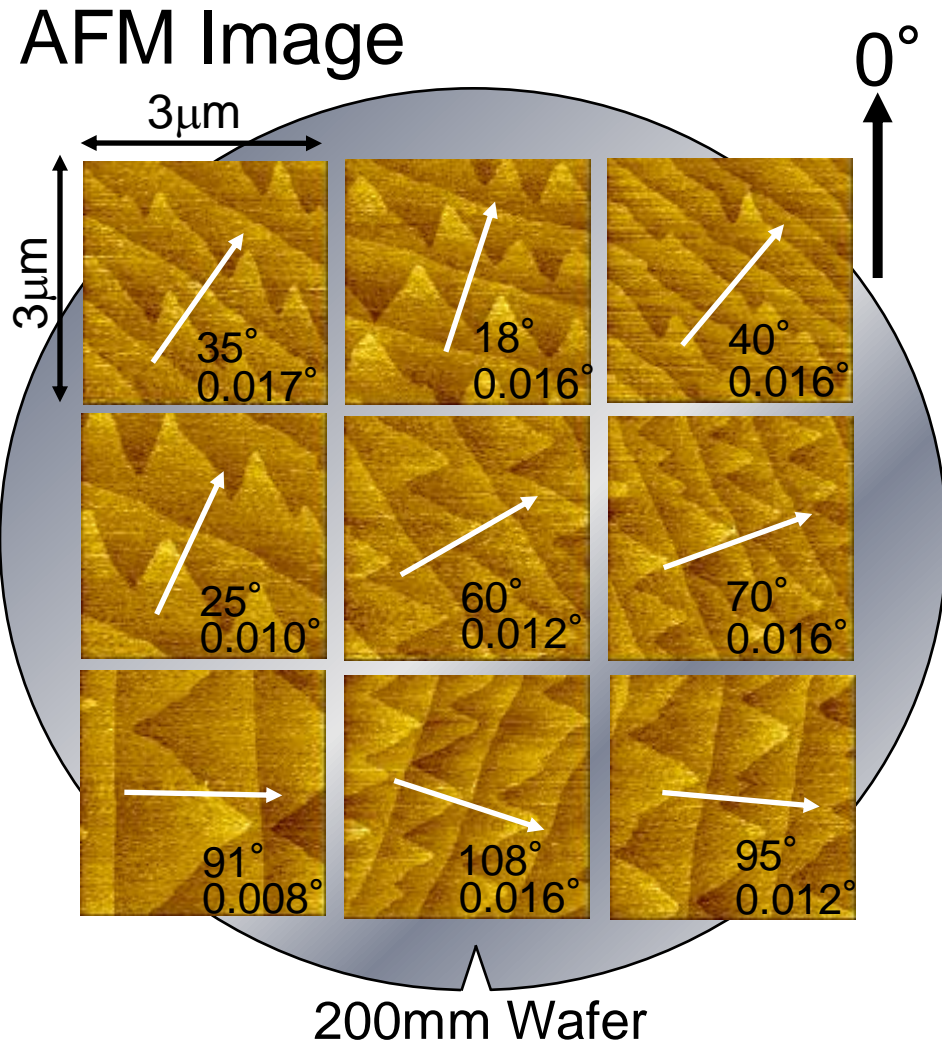


0.00 [nm] 0.86

900°C以下の低温の熱処理で、ウェハ全表面に
均一な原子オーダー平坦表面を実現

(100)シリコン表面の原子オーダー平坦化

～原子オーダーで平坦なシリコン表面と絶縁膜／シリコン界面～

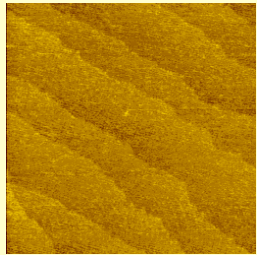
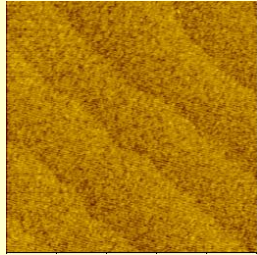


	ラジカル酸化 (400°C)	熱酸化 (1000°C)
酸化前		
酸化後		

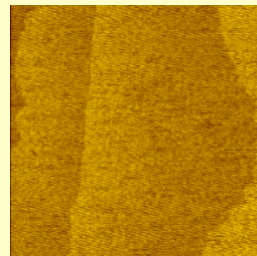
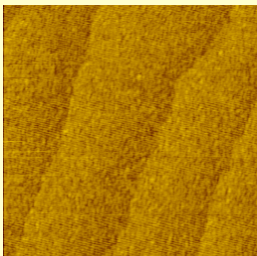
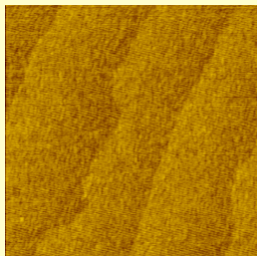
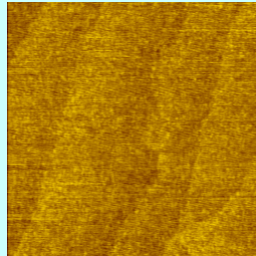
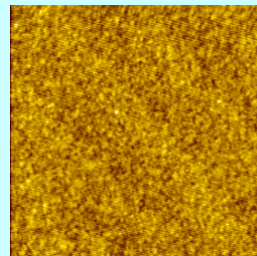
熱酸化⇒界面のラフネス増加
ラジカル酸化⇒原子オーダーで平坦な界面を実現!!

8インチウェハの全面で原子オーダー平坦な表面を実現!!

原子オーダー平坦化界面の酸化膜厚依存性

酸化前Si 表面	ラジカル酸化膜厚	
		5.8 nm
		
Rat=0.03nm		Rat=0.03nm

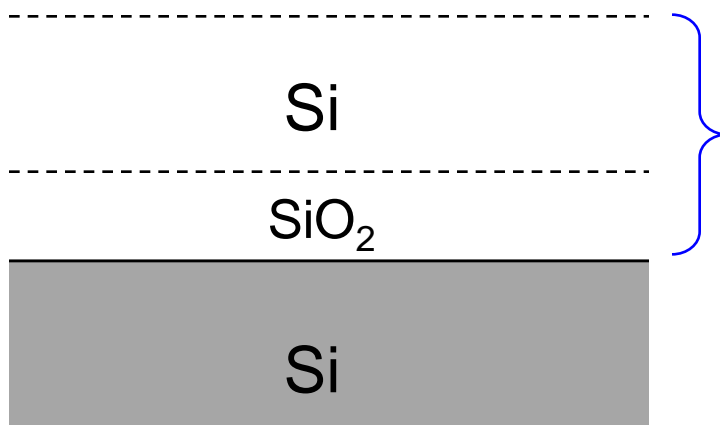
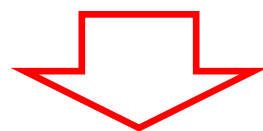
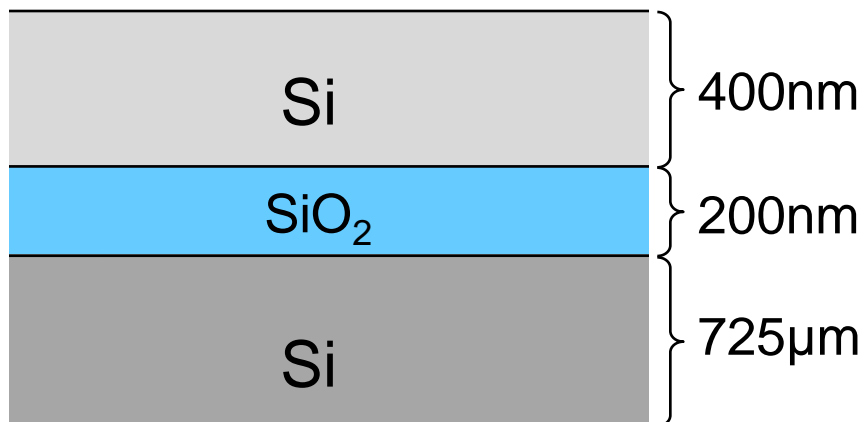
原子オーダー平坦界面を維持

酸化前Si 表面	wet750°C 熱酸化膜厚			
	2.2 nm	2.5 nm	3.3 nm	5.8 nm
				
Rat=0.03nm	Rat=0.03nm	Rat=0.03nm	Rat=0.05nm	Rat=0.08nm

→ 界面が粗れる

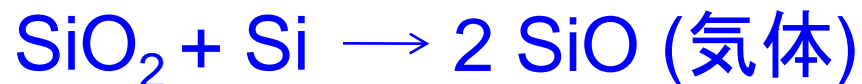
原子オーダー平坦化を目指したSOIウェーハの高温(1100°C~1200°C)熱処理

SOIウェーハの断面図



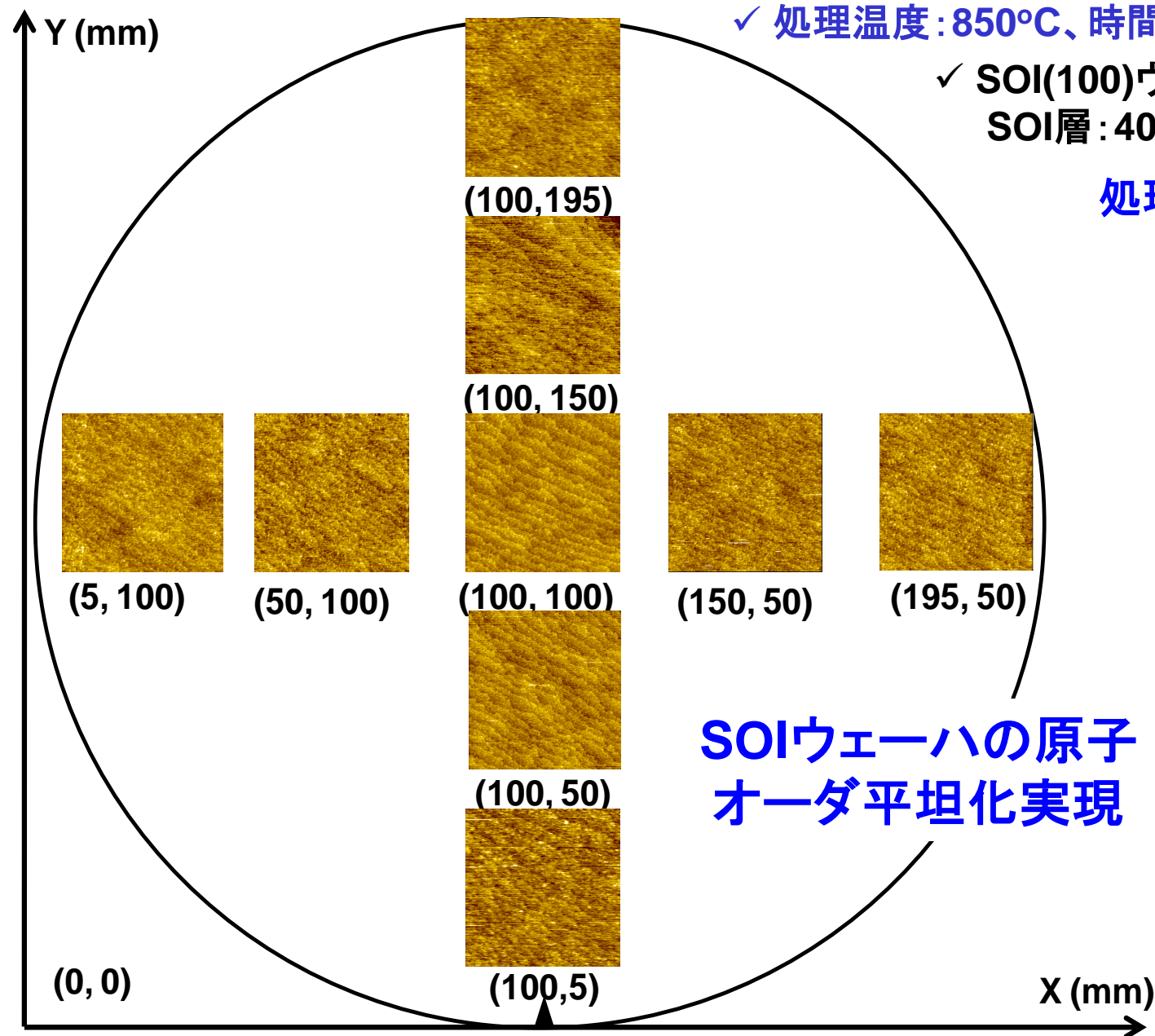
SOI: Silicon on Insulator

SOIウェーハ表面の原子オーダー平坦化に1100°C~1200°Cの高温熱処理を適用



SiとSiO₂が反応して気体のSiOが形成され、蒸発して無くなってしまふ。

Ar雰囲気アニールによるSOIの原子オーダー平坦化



✓ 処理温度: 850°C、時間: 3時間、Ar gas流量: 28L/min

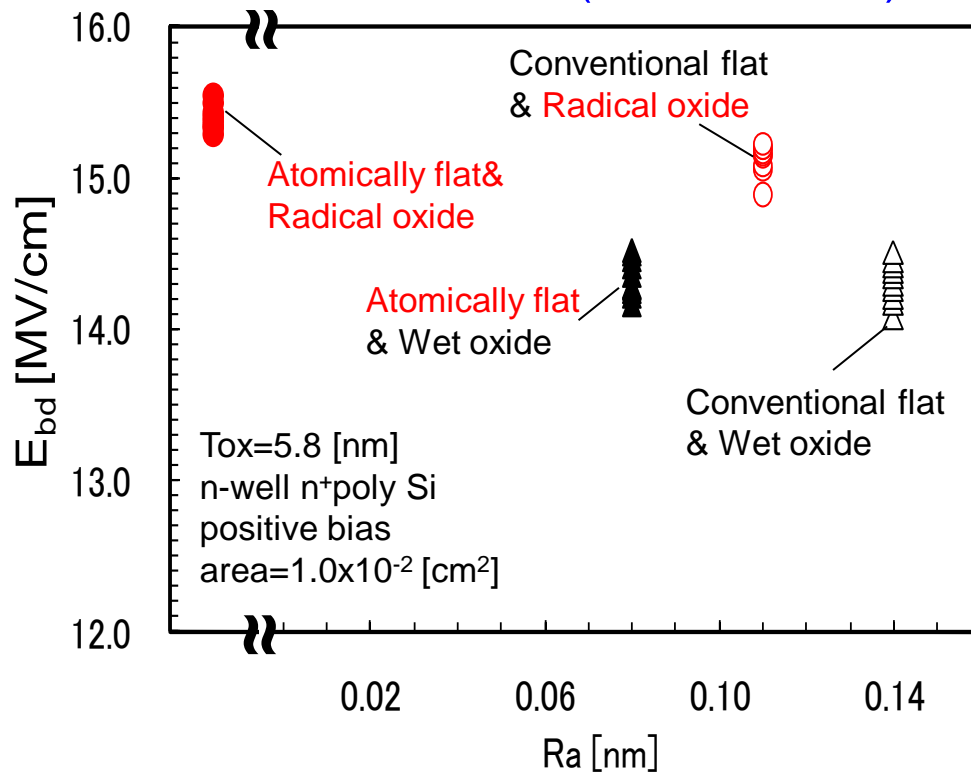
✓ SOI(100)ウェーハ: Off angle < 0.1°、
SOI層: 400nm、Box: 200nm

処理のSOI層の厚さへの影響

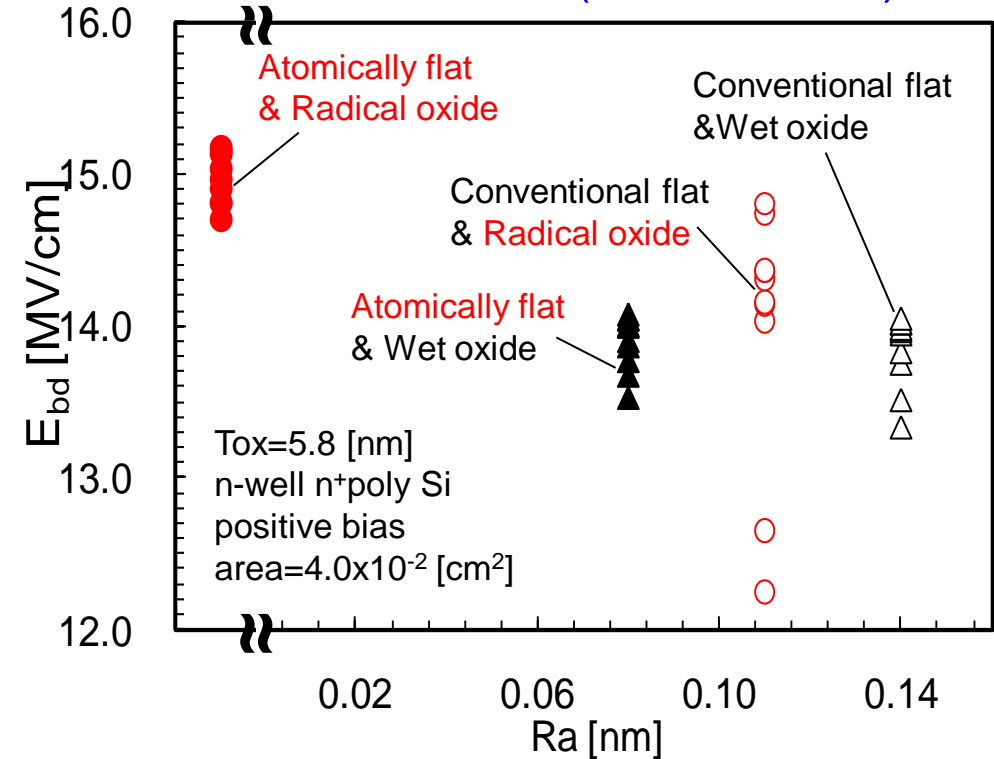
(X, Y) [mm]	Before (nm)	After (nm)
(50, 50)	399.6	399.2
(70, 50)	398.5	398.4
(30, 50)	399.5	399.7
(130, 50)	399.1	398.7
(170, 50)	400.0	400.0
(50, 130)	398.2	398.1
(50, 170)	400.7	399.6
(50, 70)	398.7	398.2
(50, 30)	399.8	399.7

↑ ↑
処理前後で厚さが
変わらない

ダイオード面積 = $1 \times 10^{-2} \text{ cm}^2$
(1mm × 1mm)



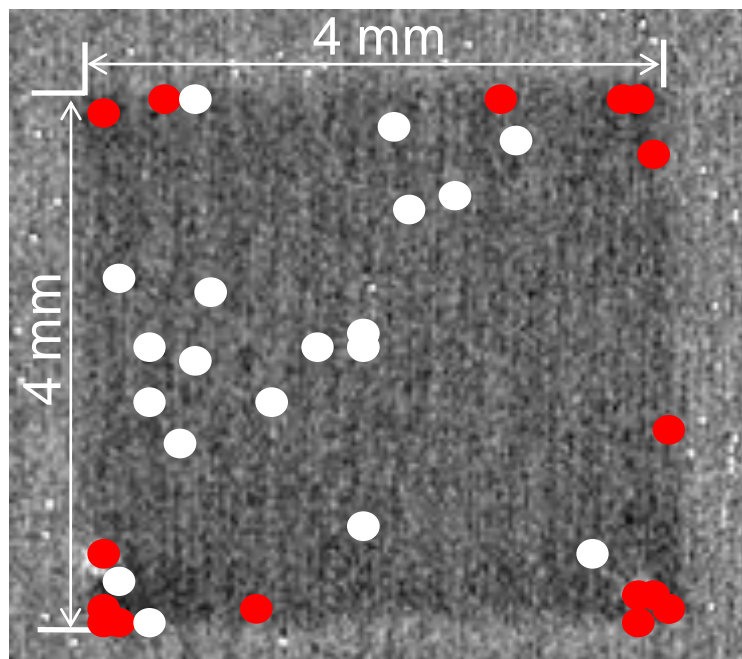
ダイオード面積 = $4 \times 10^{-2} \text{ cm}^2$
(2mm × 2mm)



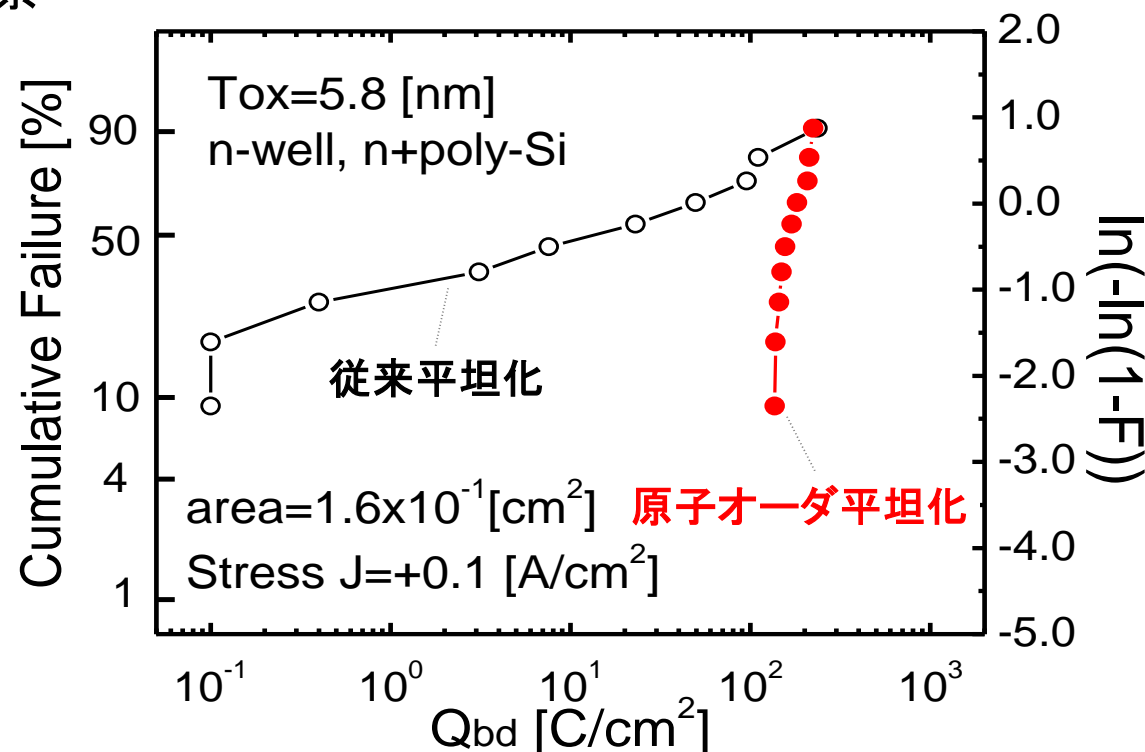
☆ 高性能化と同時にバラツキを低減させるには、原子オーダー平坦表面
とラジカル酸化・ラジカル窒化の組み合わせ必須

原子オーダー平坦界面と凸凹界面を有するSiO₂膜の破壊箇所の比較

Q_{bd} 測定サンプルの破壊箇所の観察



ゲート絶縁膜: ラジカル酸化



- 界面ラフネスが大きい場合、破壊箇所がゲート領域内に発生する
- 原子オーダー平坦化の場合、破壊箇所がゲート領域のエッジとコーナーに発生する

⇒ 界面の原子オーダー平坦化が電界集中の抑制に非常に重要

ソース電極・ドレイン電極の直列抵抗の影響

飽和ドレイン電流: I_D

$$I_D = \frac{\mu}{2} \frac{W}{L} \frac{\varepsilon}{T_{ox}} (V_{GS} - V_{TH})^2$$

ここで、ドレイン電流が V_{GS} 、 V_{DS} のみによる関数として、直列抵抗が入った場合を考慮し V_{GS} 、 V_{DS} を以下のようにして計算を行った

$$V_{GS} = V_G - R_S I_D$$

$$V_{DS} = V_D - 2R_S I_D$$

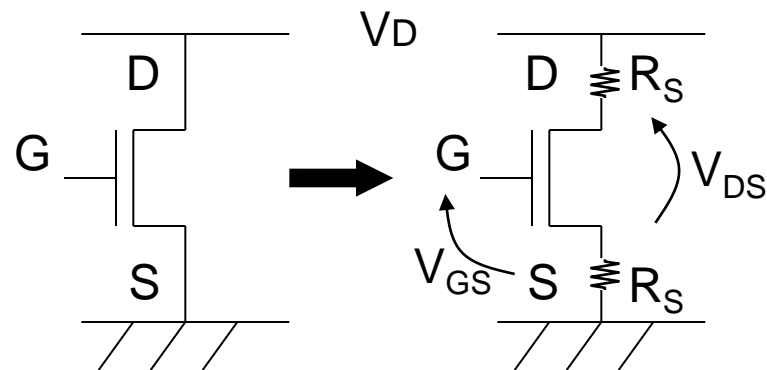
直列抵抗が存在するとトランジスタの電流駆動能力が大きく劣化

⇒ MOSTランジスタの性能を最大限発揮させるにはコンタクト抵抗率を $1 \times 10^{-9} \Omega\text{cm}^2$ 以下にしなければならない。

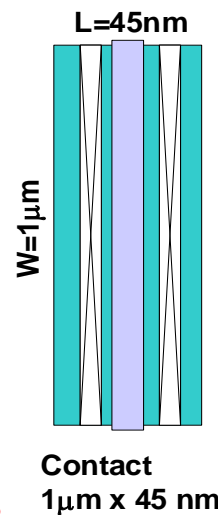
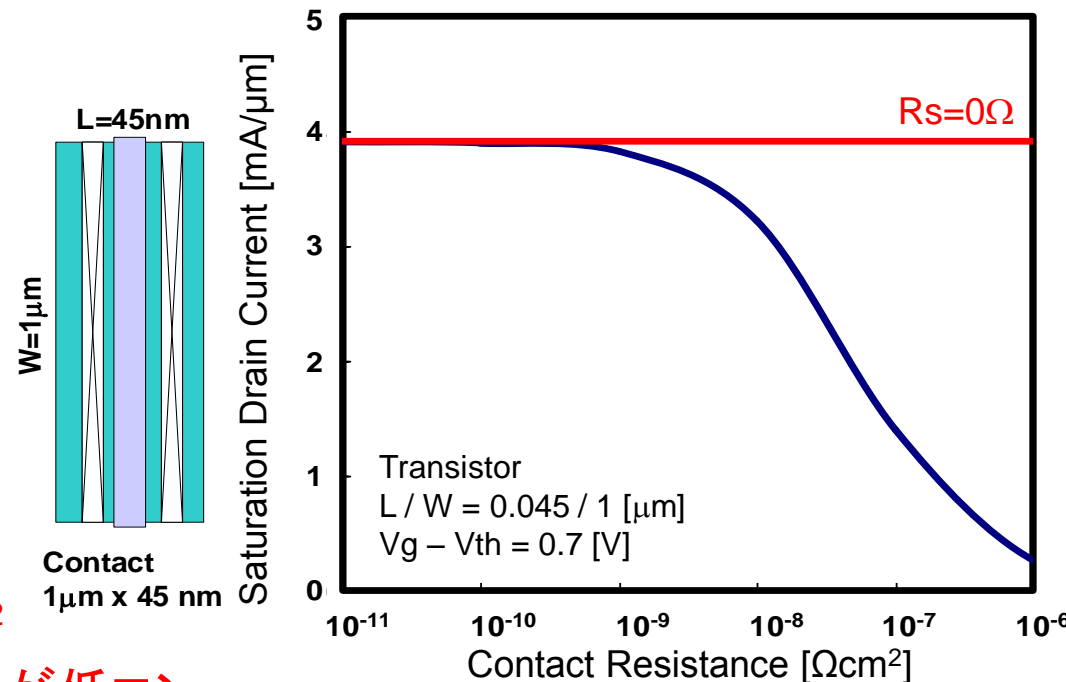
化合物半導体のコンタクト抵抗率: $10^{-6} \Omega\text{cm}^2$

ゲルマニウムのコンタクト抵抗率: $7 \times 10^{-7} \Omega\text{cm}^2$

⇒ シリサイドを形成できるシリコンだけが低コンタクト抵抗を実現可能!!



Saturation Drain Current VS Contact Resistance



ソース・ドレイン電極の直列抵抗 R_s

$$R_s = R_{n \cdot p} + R_c + R_M$$

$R_{n \cdot p}$: resistance of n^+ , p^+ source / drain region

R_c : contact resistance between metal electrode and n^+ , p^+ source / drain region

R_M : resistance of metal electrode

電子の平均自由工程 : 40nm in Cu metal

☆ もし、銅配線の太さがこの電子の平均自由工程より細くなると、抵抗は表面散乱で決まり、 R_M が急増する!!

⇒ 水平方向の微細化 40nm限界

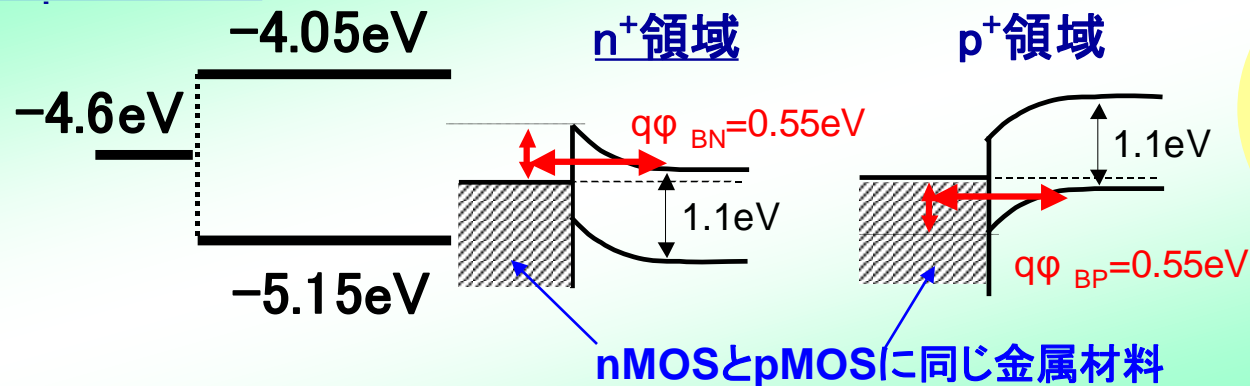
☆ それ以上の高集積化 ⇒ 3次元立体方向に集積

n⁺領域、p⁺領域 : 接触抵抗低減

★ $1 \times 10^{-8} \Omega\text{cm}^2 \Rightarrow 1 \times 10^{-10} \Omega\text{cm}^2$: 接触抵抗

$$R_s = R_c + R_{n^+ \cdot p^+} \quad (R_c \gg R_{n^+ \cdot p^+})$$

★従来の CMOS

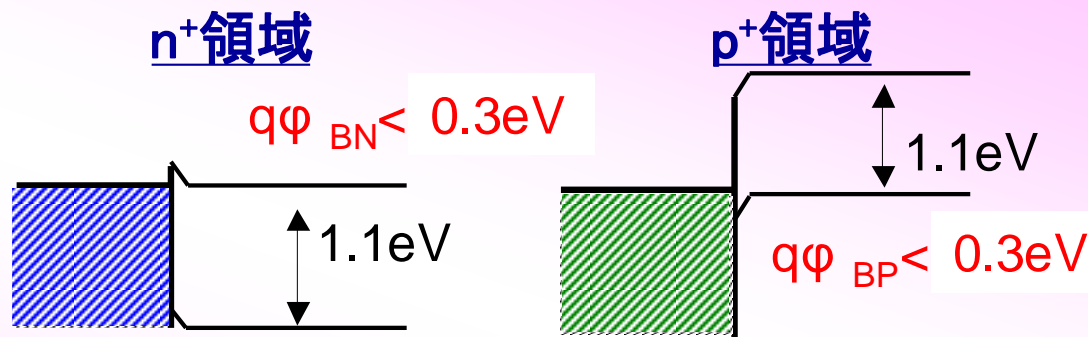


Baria Height (バリアハイト) ϕ_b

$$R_c \propto \exp \left[\frac{4\sqrt{m_n \epsilon_s}}{\hbar} \left(\frac{\phi_b}{\sqrt{N}} \right) \right]$$

Electron Density (電子密度) N

★新技術



★n⁺領域とp⁺領域にそれぞれ低いバリアハイト($\phi_B < 0.3\text{V}$)を有する最適な金属材料を導入することにより、低接触抵抗を実現

ErSi₂, HoSi₂ / n⁺ 領域、

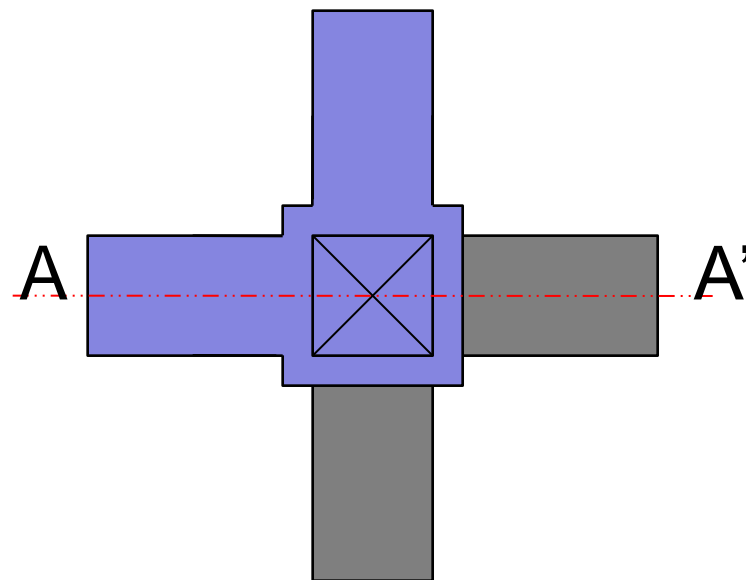
Pd₂Si / p⁺ 領域

p⁺領域にダメージを与えない低抵抗コンタクト形成プロセスフロー

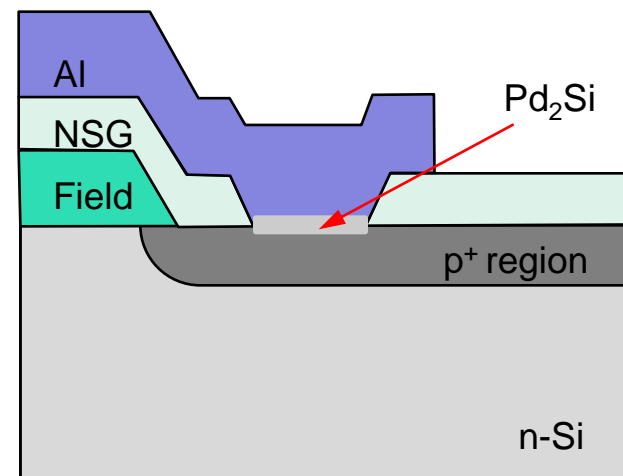
1. フィールド酸化 Wet酸化 1,000°C, 100 nm
2. 素子領域形成
3. イオン注入 BF₂ : 25 keV, 6x10¹⁵ cm²
4. 層間絶縁膜形成
5. コンタクト領域形成
6. ケミカル酸化 (オゾン水酸化)
7. 大気遮断N₂ 雰囲気プロセス
8. ケミカル酸化膜除去
9. Pd 成膜 20 nm
10. Pd 成膜 20 nm
11. 活性化 & シリサイド アニール 550°C, 3 hrs
12. Al形成(真空蒸着)
13. Al / Pd₂Si 電極形成

$$R_c = 8.0 \times 10^{-10} \Omega\text{cm}^2$$

デバイス構造 (上面)



AA'断面



ErSi_xによる低抵抗コンタクト形成プロセスフロー

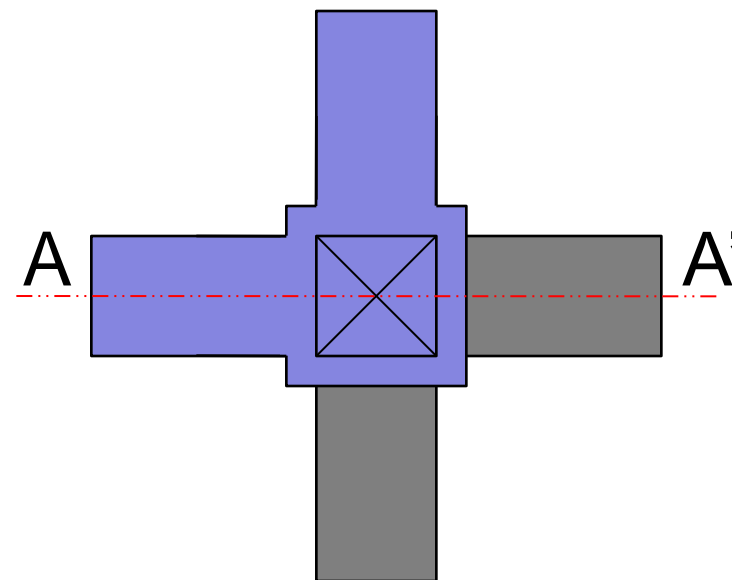
1. フィールド酸化 Wet 1,000°C, 100 nm
2. 素子領域形成
3. イオン注入 As⁺: 下表参照
4. 層間絶縁膜形成: NSG 400°C, 100 nm
5. コンタクト領域形成
6. 活性化アニール 950°C, 5 sec
7. ケミカル酸化 (オゾン水酸化)

大気遮断N₂ 雰囲気プロセス

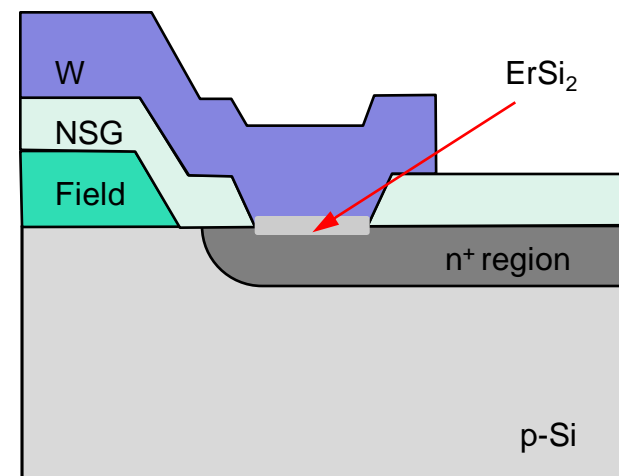
8. ケミカル酸化膜除去
9. W/Er 成膜 80/5 nm @ 1.33 Pa
10. シリサイドアニール 500°C, 2 min
11. W / ErSi₂ 電極形成

* As ⁺ イオン注入条件	接触抵抗 [Ωcm^2]
25 keV $2 \times 10^{15} \text{ cm}^{-2}$	6.9×10^{-9}
10 keV $2 \times 10^{15} \text{ cm}^{-2}$	9.7×10^{-10}
5 keV $1 \times 10^{15} \text{ cm}^{-2}$	$8.0 \sim 8.3 \times 10^{-10}$
5 keV $2 \times 10^{15} \text{ cm}^{-2}$	8.4×10^{-10}
5 keV $5 \times 10^{15} \text{ cm}^{-2}$	$7.0 \sim 8.5 \times 10^{-10}$

デバイス構造 (上面)

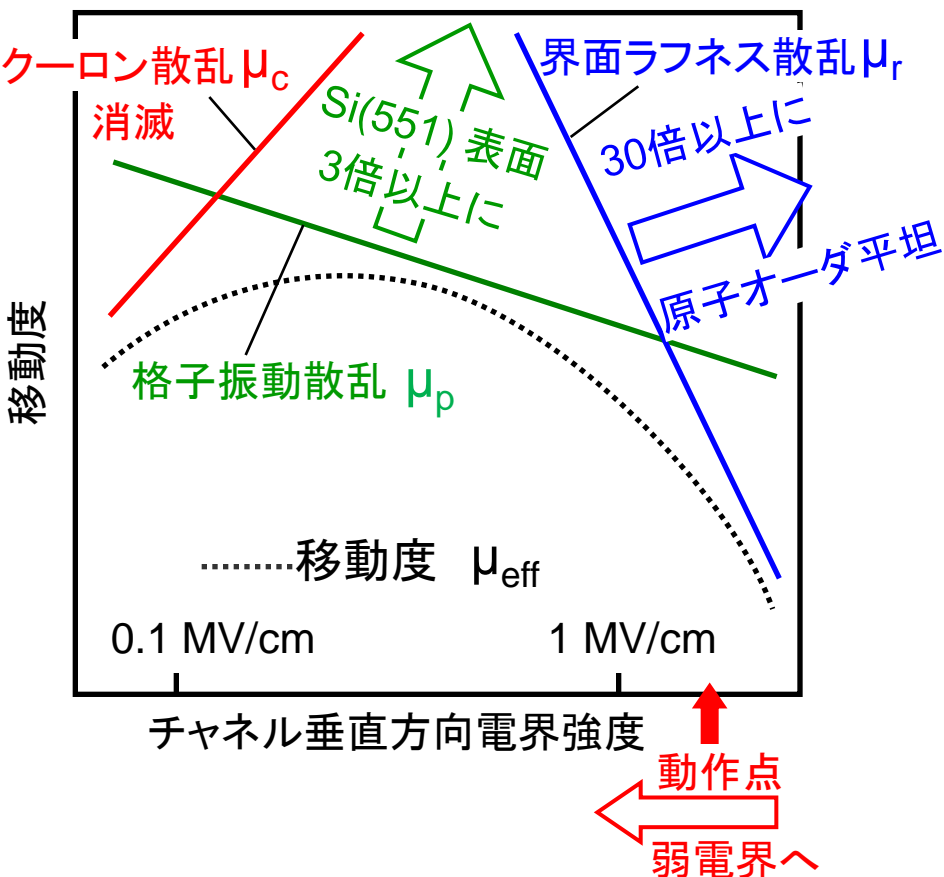


AA'断面



電子、ホールのチャネル移動度 μ_{eff} の向上

キャリアのチャネル移動度の チャネル垂直方向電界強度依存性



$\mu_{eff} \Rightarrow$ 可能な限り向上

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_c} + \frac{1}{\mu_p} + \frac{1}{\mu_r} \Rightarrow \mu_{eff} \approx \mu_p$$

pMOS : (551)面<110>方向の2次元平面形状
Accumulation Mode MOS

nMOS : (551)表面と側壁の(100)表面にチャ
ネルを備える3次元立体構造
Accumulation Mode MOS

☆ Accumulation Mode MOSの導入でチャ
ネル垂直方向電界強度は1MV/cm以上
低くなり、クーロン散乱は原理的に存在し
なくなる

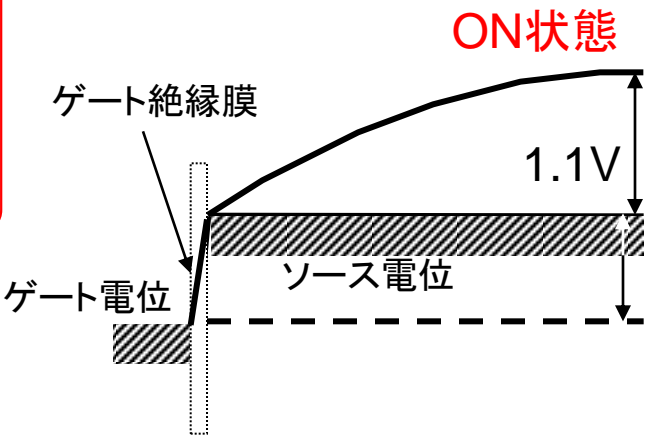
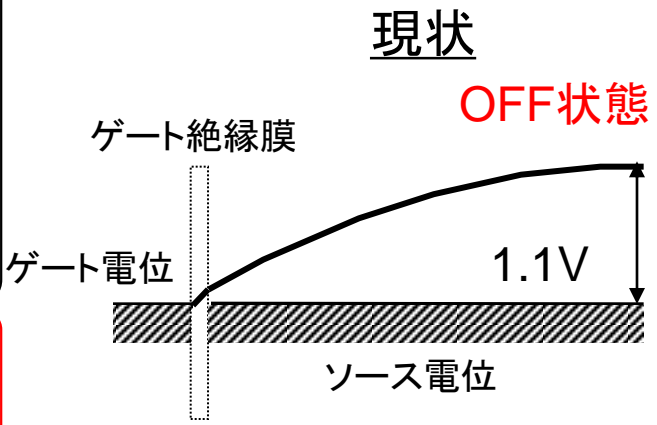
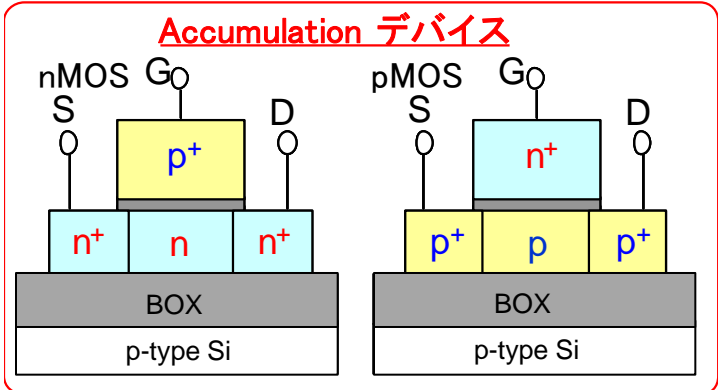
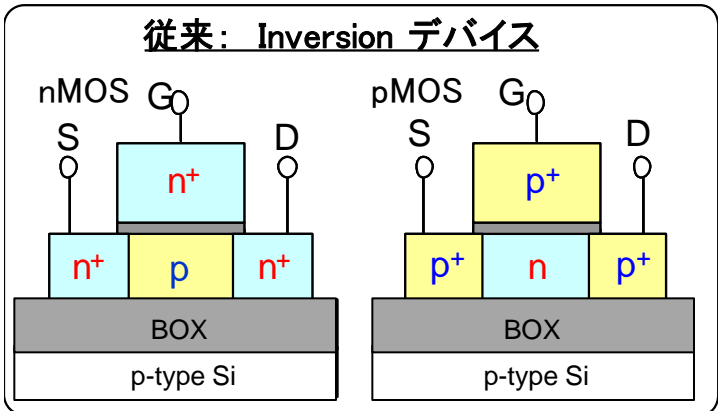
☆ (551)面<110>方向でホール移動度はシリ
コン結晶中最大

☆ (551)面と(100)面側壁を組み合わせること
でpMOSと同じ寸法で同じ電流駆動能力
を有するnMOS

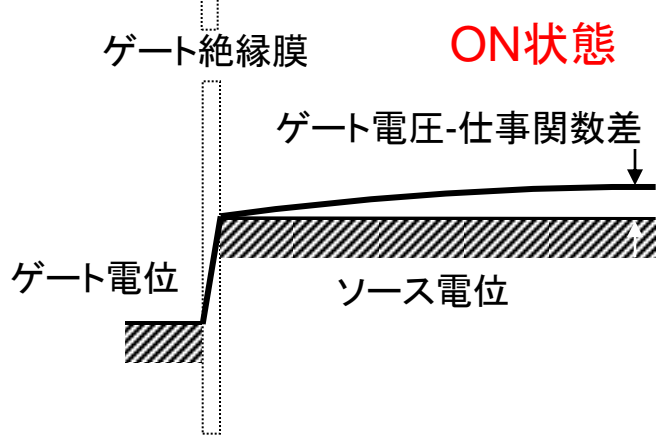
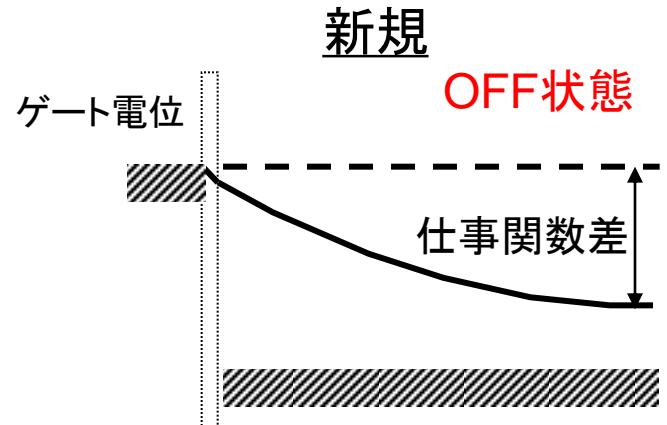
☆ 原子オーダー平坦界面の導入で界面ラフ
ネス散乱は1/30以下に低減し、実効的
に存在しなくなる

Accumulation Mode トランジスタ

ゲート電極・ゲート絶縁膜・チャネル方向電位分布

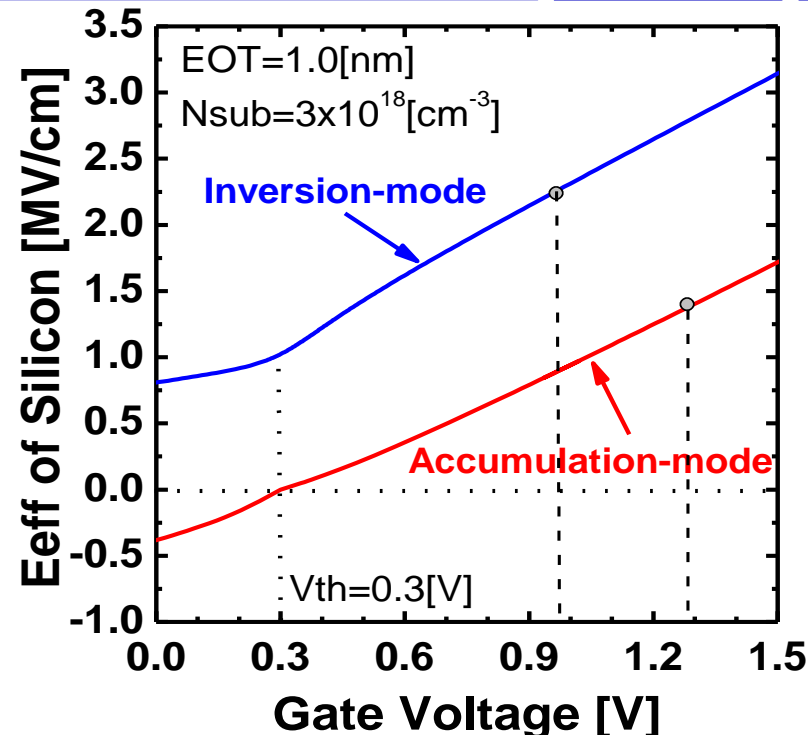
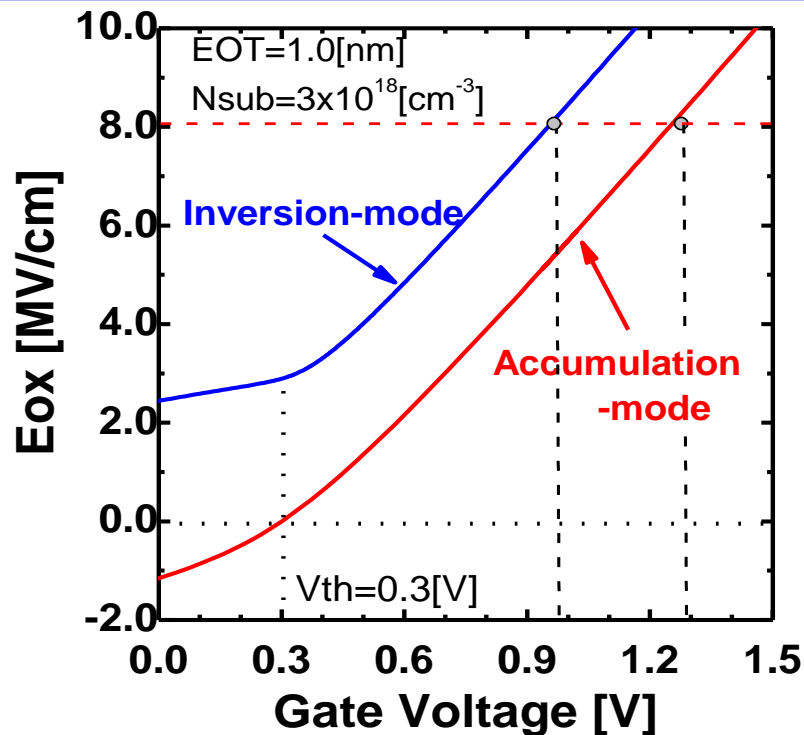


Inversion Mode MOSでは、ON状態とOFF状態で、ゲート絶縁膜中とSiチャネル中の電界方向が同じ。



Accumulation Mode MOSでは、ON状態とOFF状態で、ゲート絶縁膜中とSiチャネル中の電界方向が逆。

Accumulation Mode MOSトランジスタの利点



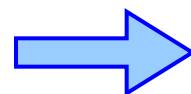
Accumulation型: off時とon時で電界が逆

⇒ 最大印加電圧大, チャンネル垂直電界小

飽和電流換算での効果: $(V_{DDacc} - V_{th})^2 / (V_{DDinv} - V_{th})^2 \approx \underline{2.0}$

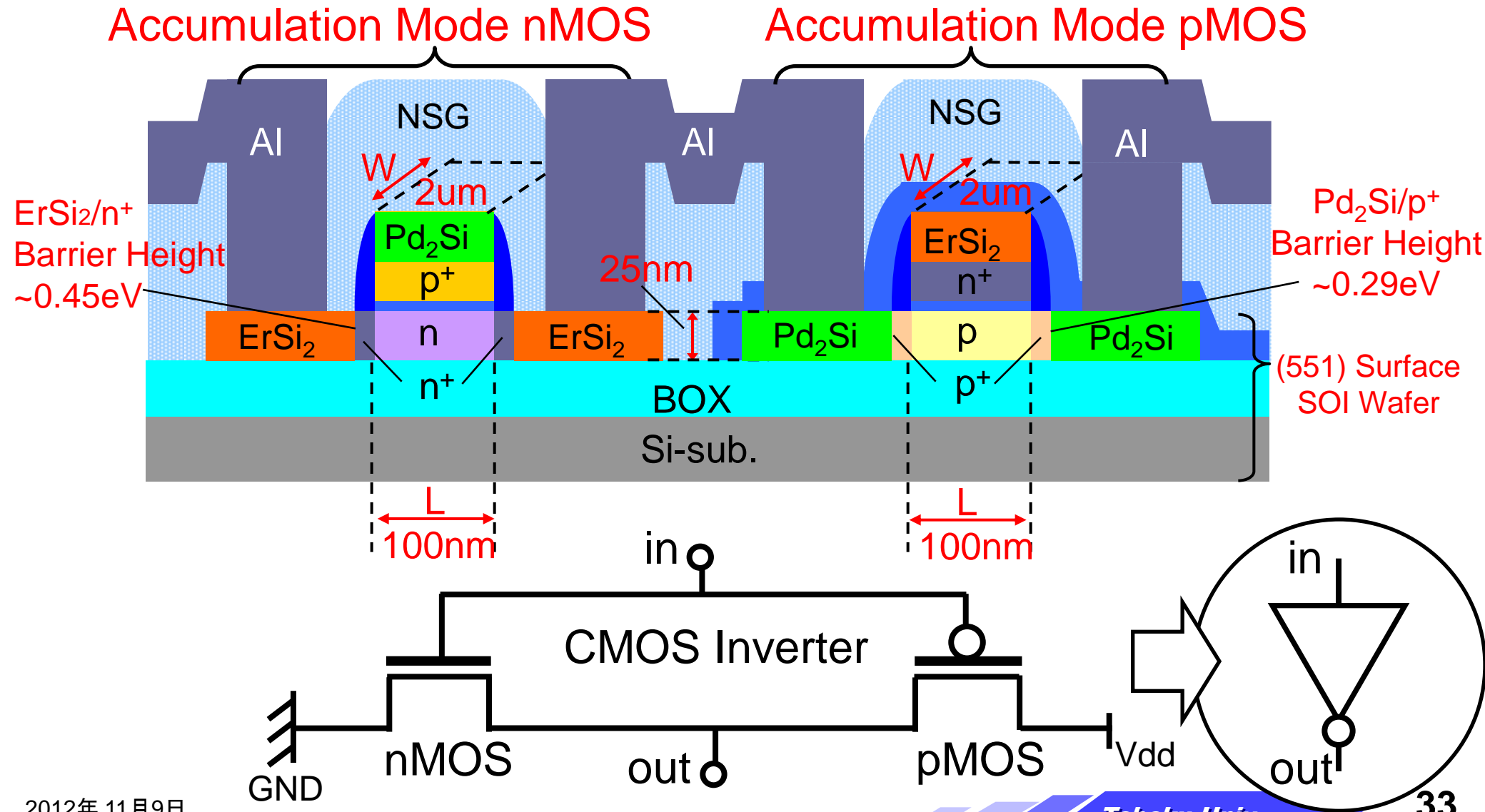
モビリティ improvement: $\mu_{acc} / \mu_{inv} = \underline{1.2}$

Accumulation Deviceの総合効果



Speed improvement = 2.2

ラジカル反応ベースの新半導体製造技術を用いて、(551)面SOIウェハ上に作製した2次元平面形状のAccumulation Mode nMOS と Accumulation Mode pMOS で構成されたバランスドCMOSの断面図

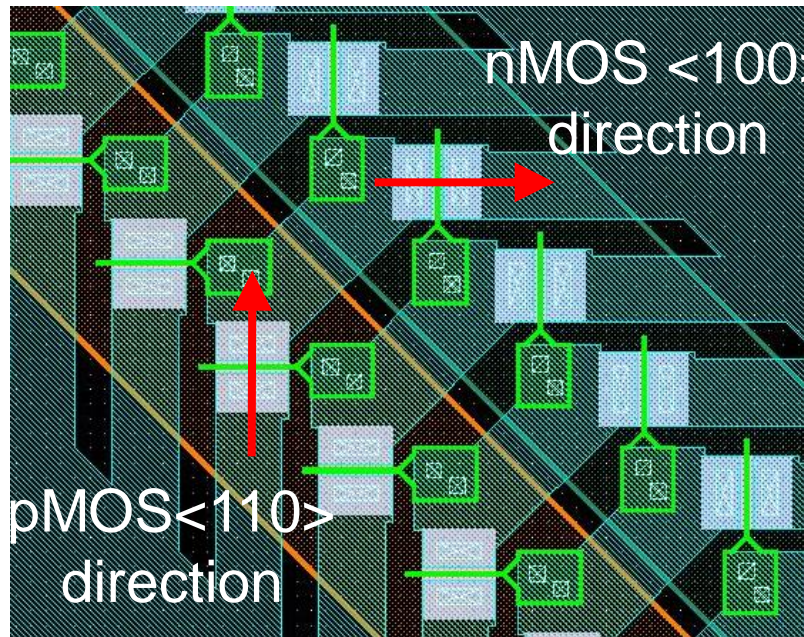


ゲート遅延とリングオシレータの発振周波数

(551)面SOIウェハ上に形成したAccumulation Mode

nMOS と Accumulation Mode pMOSからなる

バランスドCMOSで作製したリングオシレータ



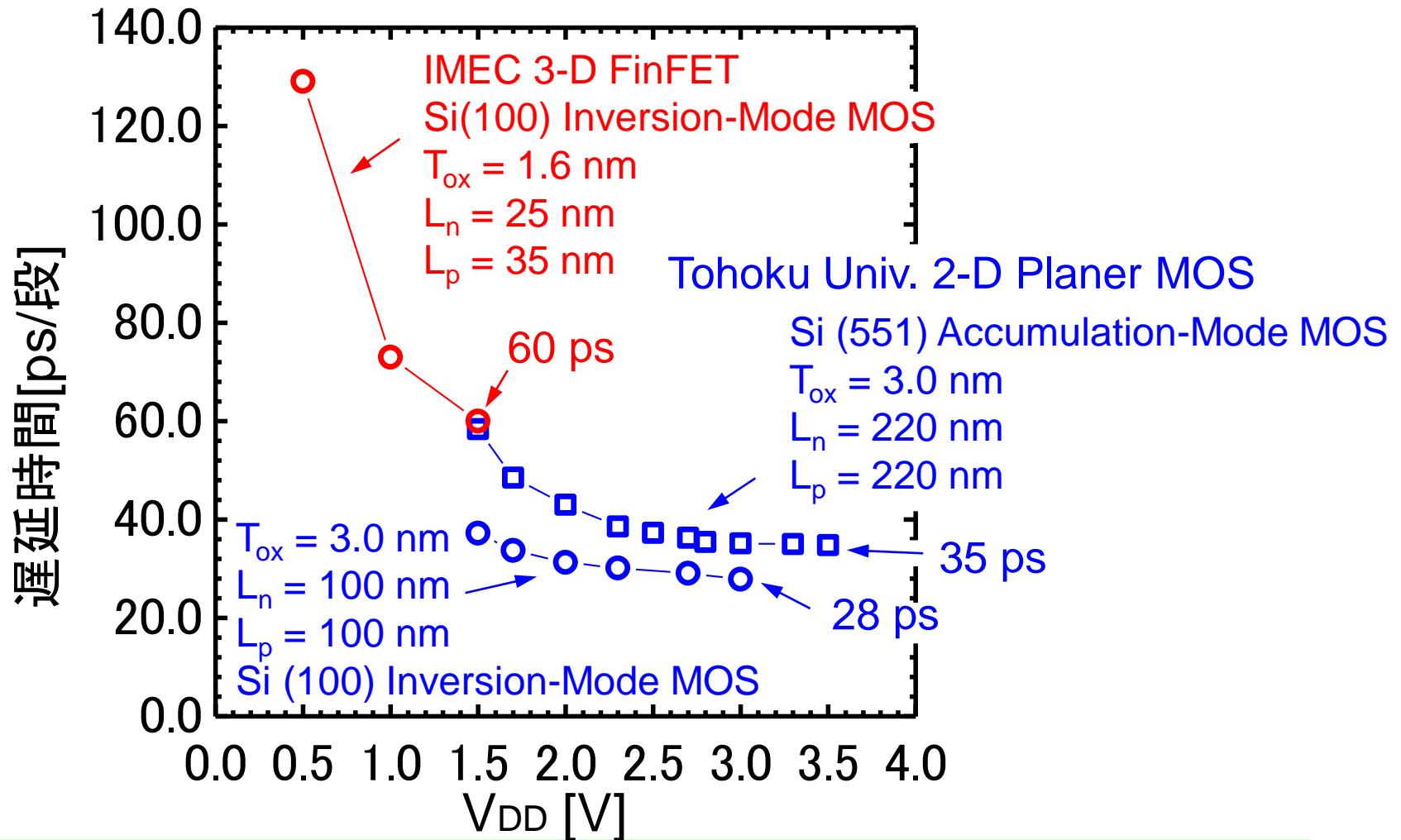
電流駆動能力が最大となる

チャネル方向

$\left\{ \begin{array}{l} \langle 100 \rangle \text{ for nMOS} \\ \langle 110 \rangle \text{ for pMOS} \end{array} \right.$

⇒ 2次元平面構造のCMOSでも
動作速度が劇的に向上

CMOS リングオシレータ回路特性



(551)面上に形成したAccumulation Mode CMOSの方が、ゲート長220nmとデバイスサイズが1桁近く大きいにもかかわらず、IMECの超微細三次元Fin-FETよりも高速動作を実現。

Further Improvement of (551) surface accumulation-mode silicon CMOS

		2-D Balanced CMOS on (551) SOI Accumulation Mode nMOS Accumulation Mode pMOS		
Device	Gate Length	Ln = 220 nm Lp = 220 nm	Ln = 100 nm Lp = 100 nm	Ln = 45 nm Lp = 45 nm
	Gate Width	Wn = 5 μm Wp = 5 μm	Wn = 5 μm Wp = 5 μm	Wn = 2 μm Wp = 2 μm
	Gate Insulator	Radical Oxide (SiO ₂)	Radical Oxide (SiO ₂)	Radical Nitride (Si ₃ N ₄)
	Gate Insulator Thickness	3.0 nm	3.0 nm	1.0 nm
	Gate Electrode	Poly-Si	Poly-Si / Pd ₂ Si Poly-Si / Er ₂ Si	nMOS: Ni pMOS: Zr
	Source/Drain Electrode	Al	Al	Cu
	Source/Drain Silicide	nMOS: W/ErSi ₂ pMOS: W/Pd ₂ Si	nMOS: W/ErSi ₂ pMOS: W/Pd ₂ Si	nMOS: W/ErSi ₂ pMOS: W/Pd ₂ Si
Ring Oscillator	Stage	51	251	501
	Supply Voltage	3.5 V	3.0 V	1.45 V
	Delay Time /stage	35 psec	17 psec	1.5 psec

➡ 45nm世代で100GHzクロックを超える超高速シリコンLSI

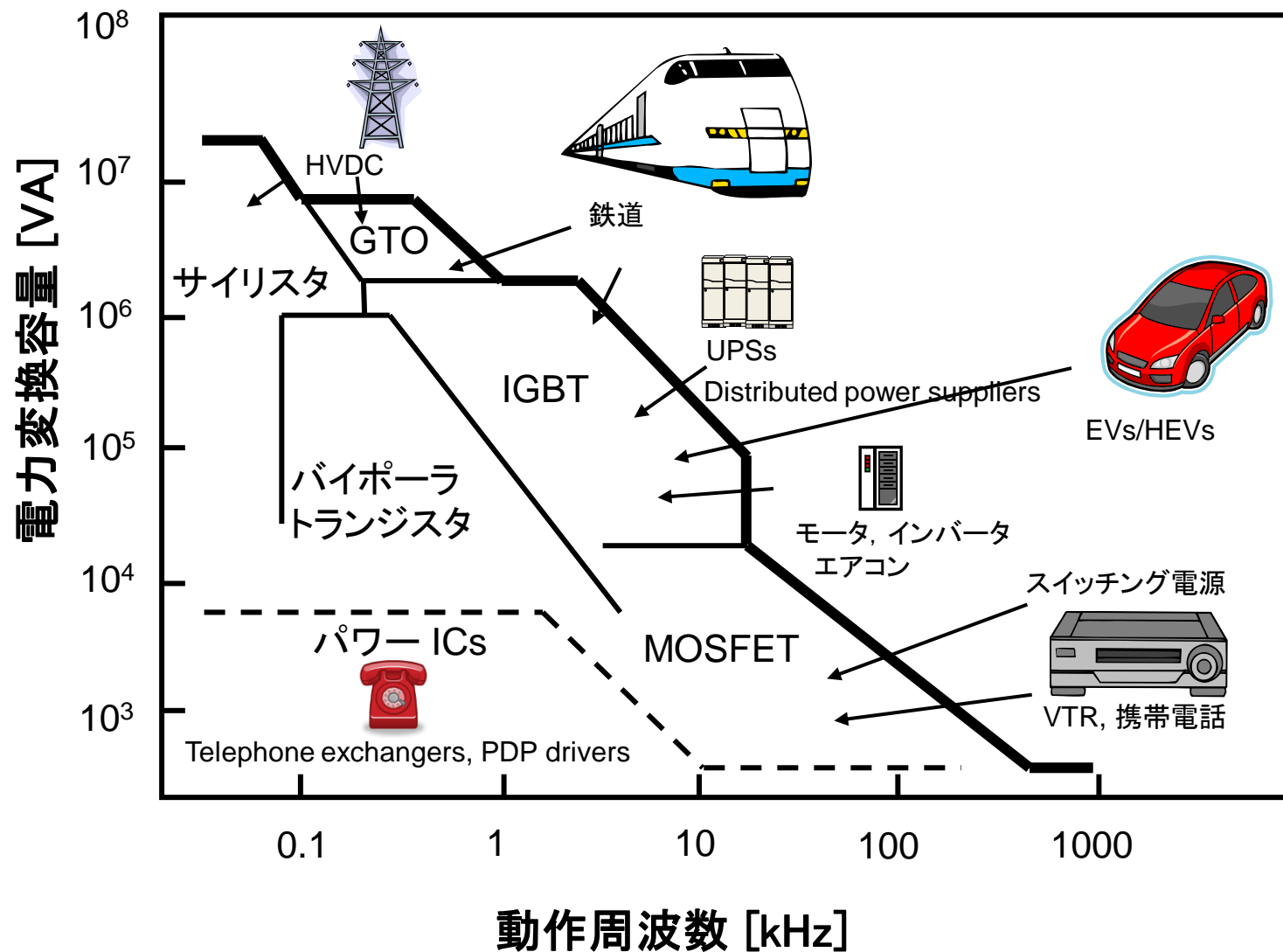
パワー半導体デバイス

★ Silicon IGBT

(Insulated Gate Bipolar Transistor)

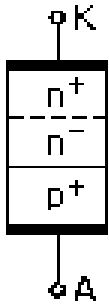
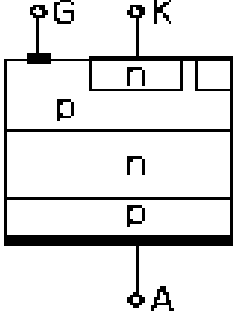
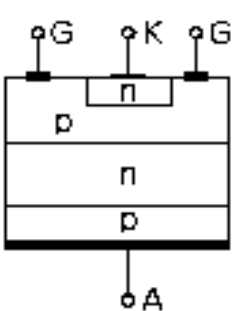
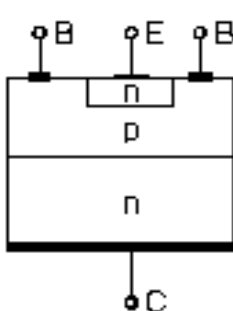
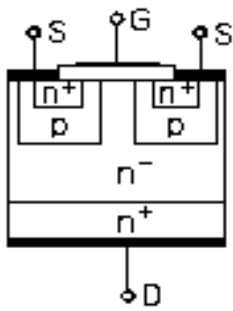
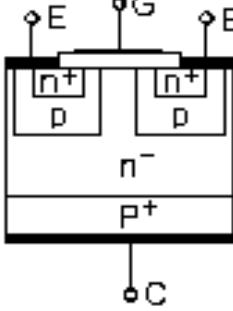

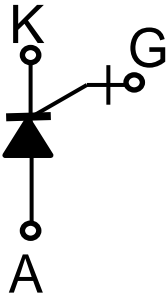
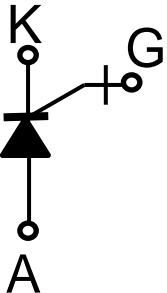
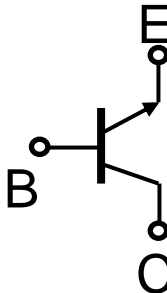
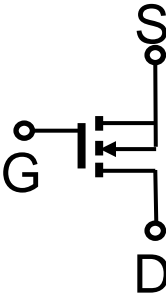
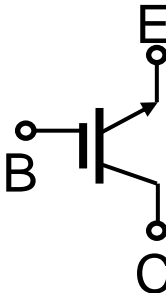
★ AlGaN / GaN / (111)Si / パワー-MOSFET

パワーデバイスの応用分野

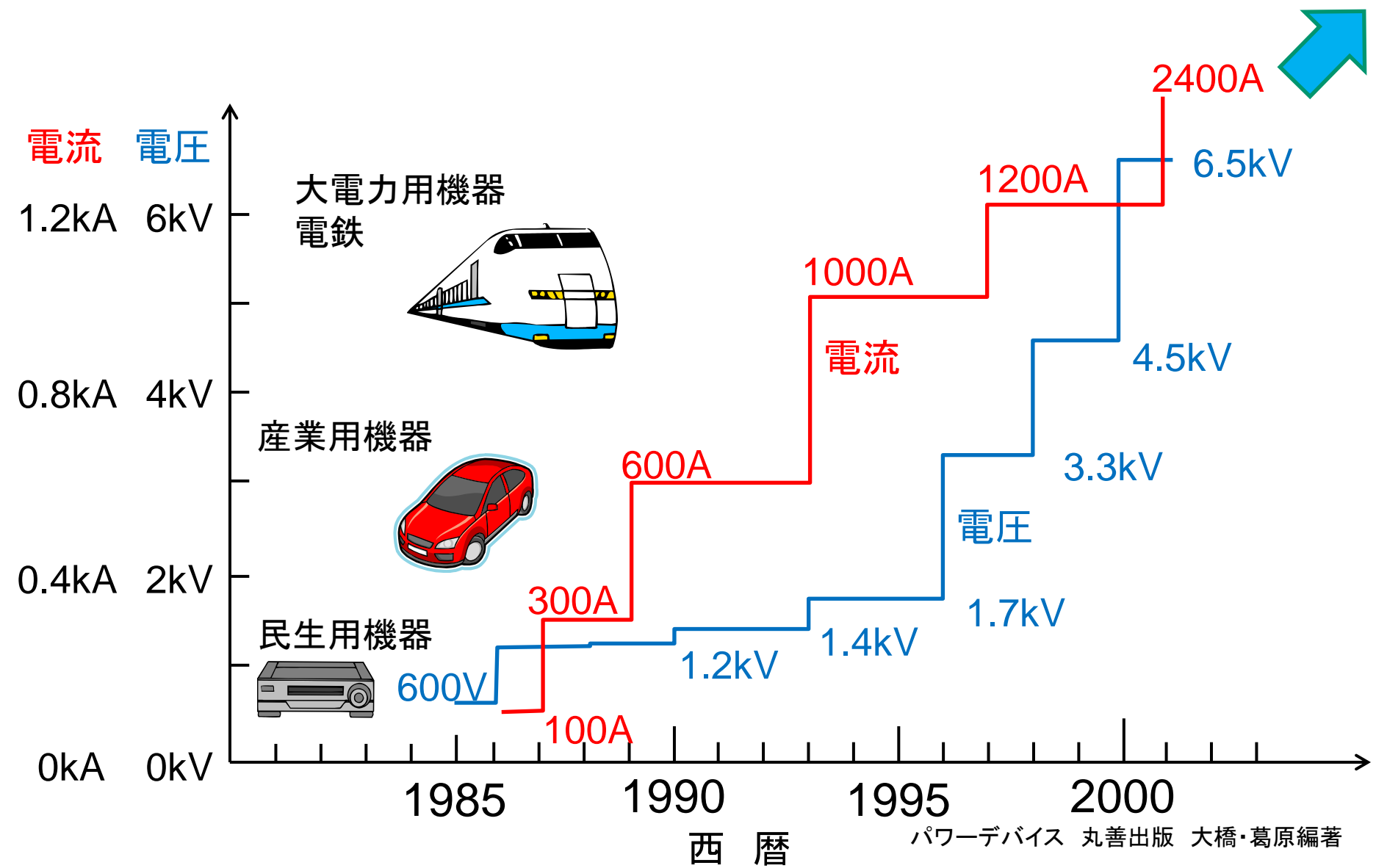


Siパワーデバイスの使用領域

主なパワー半導体デバイスの構造と電気特性の数値例

	ダイオード	サイリスタ	GTO	BJT	MOSFET	IGBT
接合構造						
回路図						
ON電圧[V]	1.8	2.5	3.5	2.5(ダーリントン)	5(0.1Ω)	2.5
スイッチング時間 [us]	-	400	25	18	0.35	<1
定格電圧[V]	4000	4000	4500	1200	500	600~6500
定格電流[A]	1600	3000	3000	600	50	50~2400

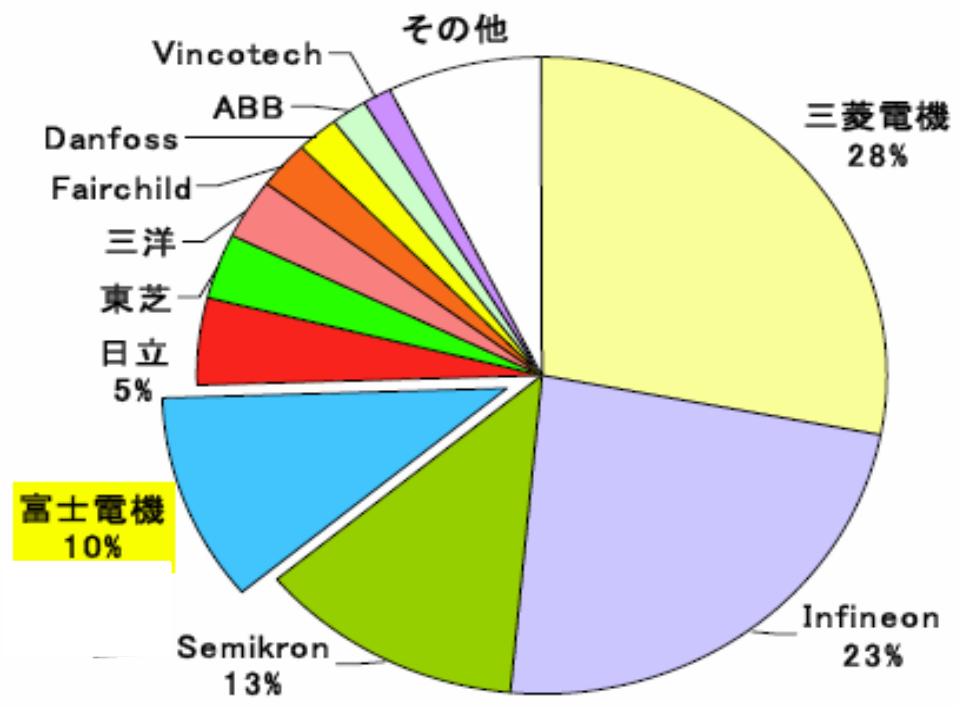
IGBT製品の高耐圧・大容量化への歩み



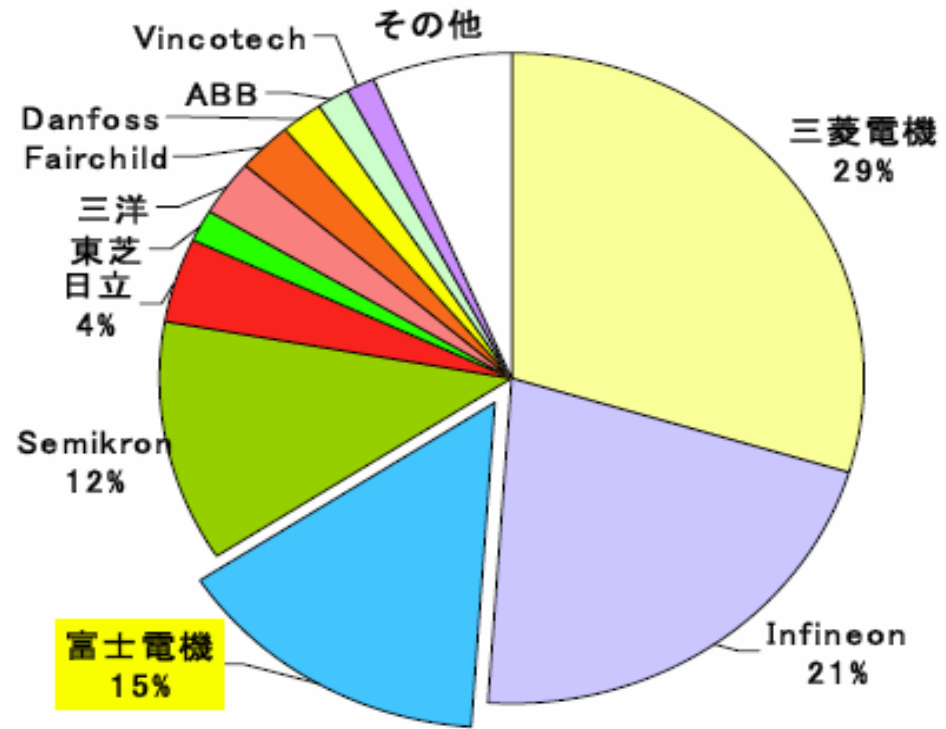
パワーデバイス 丸善出版 大橋・葛原編著

IGBTシェア

WW市場('09シェア)



WW市場('10シェア)



IMS Research

富士電機(株)IGBT製品

民生用機器
家電(ルームエアコン)



600V / 15A,20A,30A

太陽光発電、風力発電、
高圧インバータ



PrimePACK™



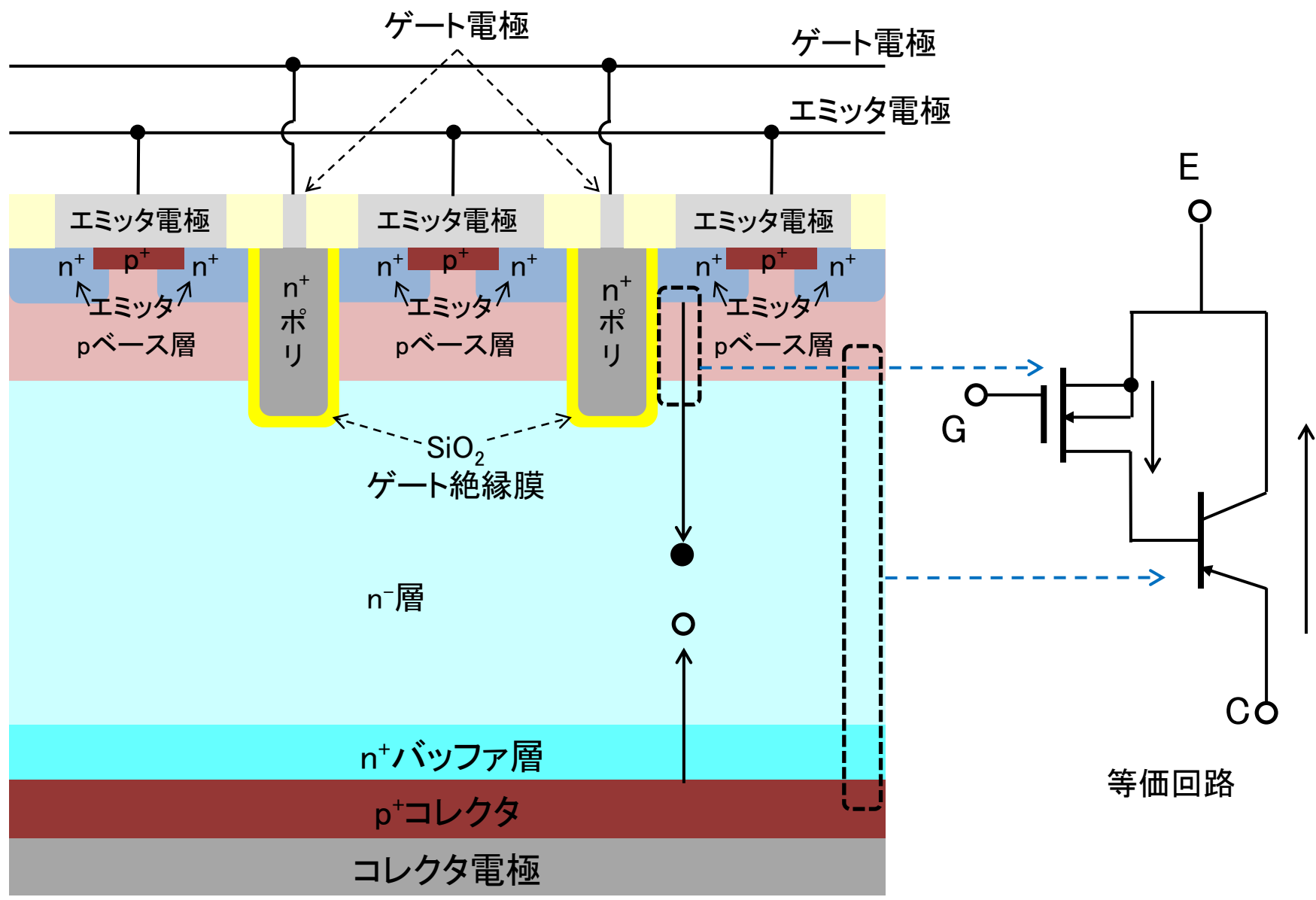
High Power Module

1200V / 600 – 1400A
1700V / 650 – 1400A

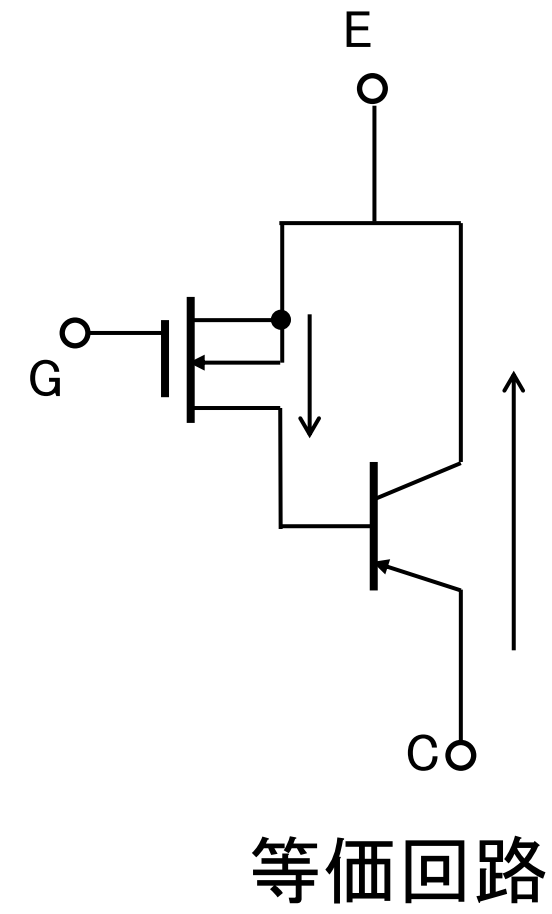
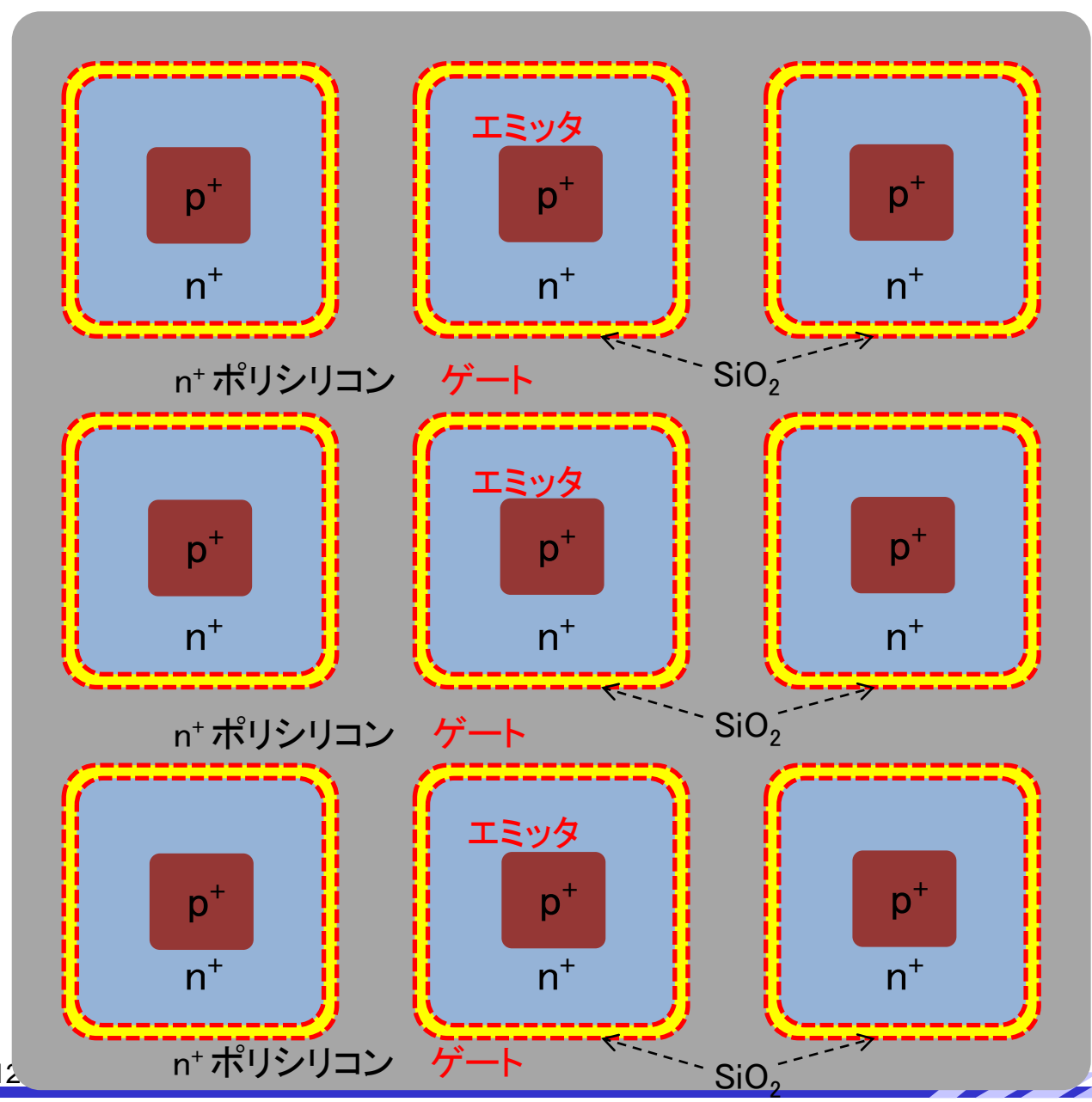
1200V / 600 – 3600A
1700V / 600 – 3600A
3300V / 650 – 1500A

富士電機HPより抜粋

IGBTの断面構造



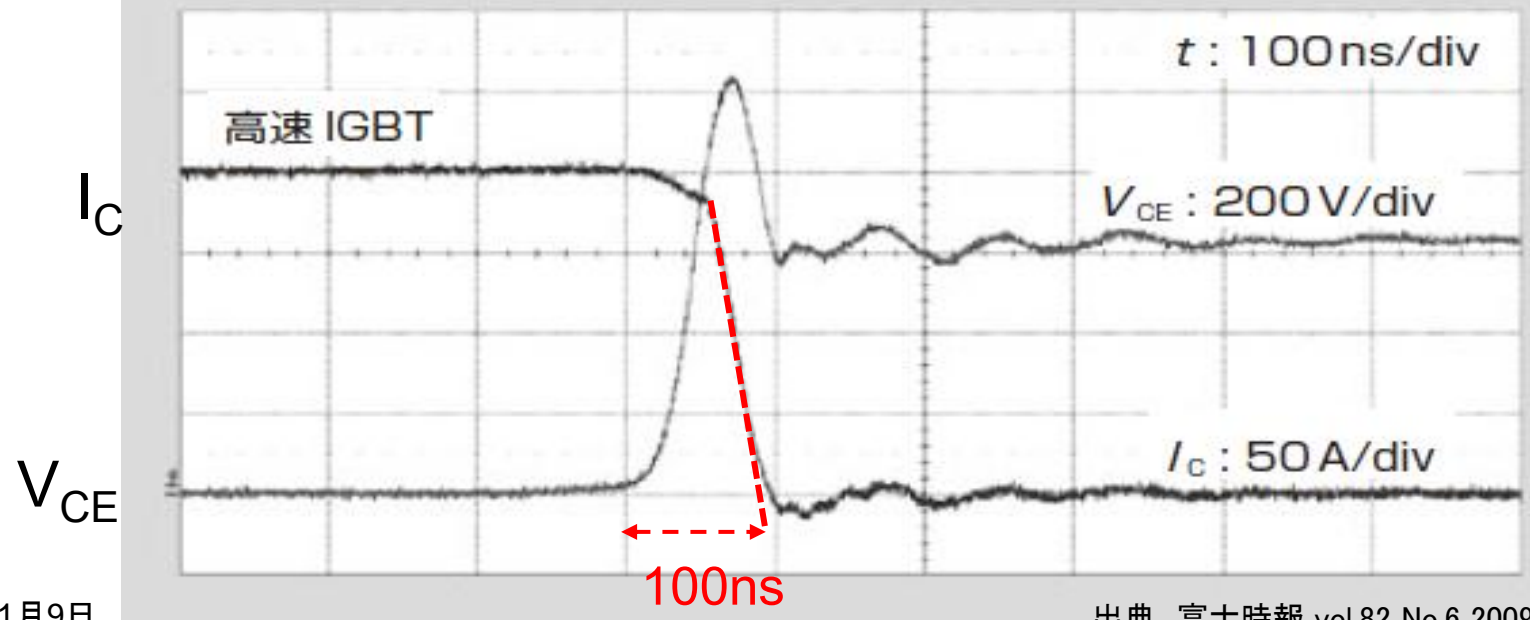
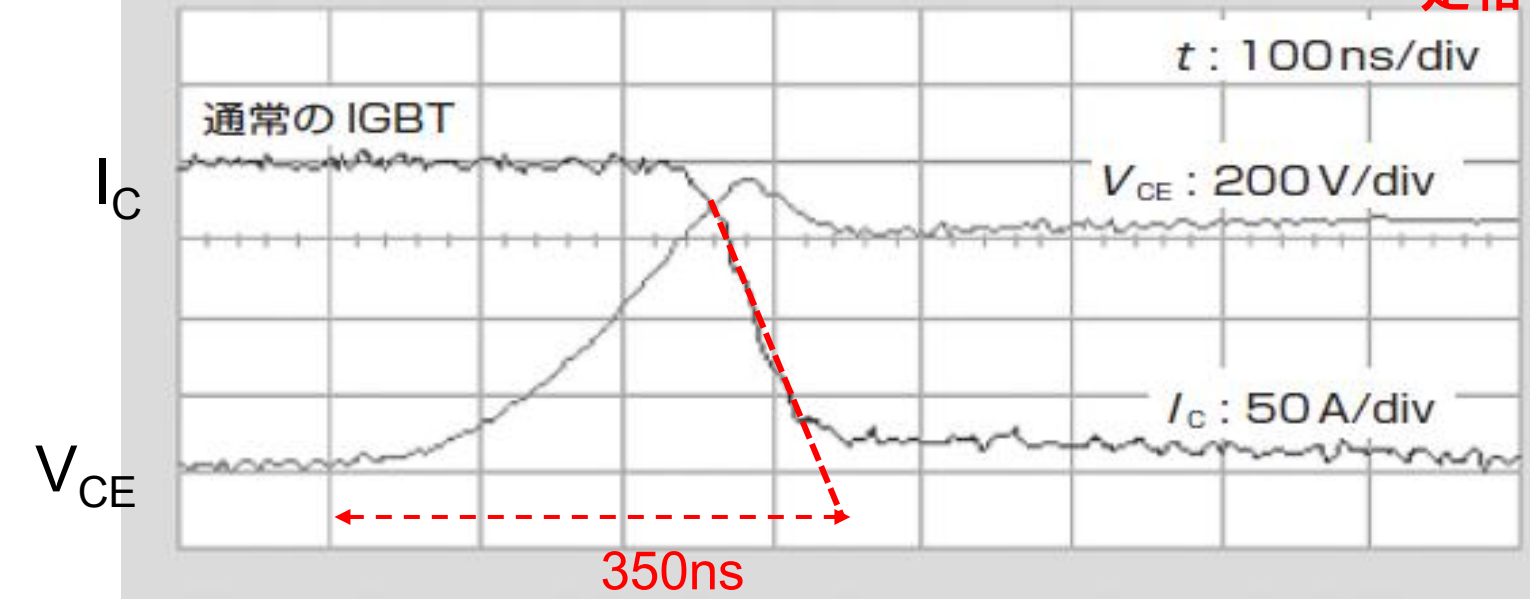
IGBT エミッタ・ゲート部の平面図



等価回路

スイッチング速度・ターンオフ波形の比較

定格 1200V/200A



シリコン、ワイドバンドギャップ半導体の基本物性値

	Si	3C-SiC	6H-SiC	4H-SiC	GaN
バンドギャップ[eV]	1.1	2.2	3.0	3.3	3.4
比誘電率	11.8	9.6	9.7	10	9.5
電子移動度[cm ² /V·s]	1350	900	370	1000	1200
絶縁破壊電界[10 ⁶ V/cm]	0.3	1.2	2.4	3.0	3.3
電子飽和速度[10 ⁷ cm/s]	1.0	2.0	2.0	2.0	2.5
熱伝導度[W/cm·K]	1.5	4.5	4.5	4.5	2.1

AlGaN/GaN/(111)Si パワーデバイス

- ⇒ 同じ動作電圧に対して、GaNはSiの1/10以下の厚さの動作層で対応できる
- ⇒ 大電流が流れる動作時のオン電圧がSiに比べて1/1000以下に低減

特長

☆ ゲート絶縁膜

SiO₂(60nm)／Al₂O₃(3nm)／GaN

⇒ Gaの拡散を抑えた超高品質界面

☆ SiCN保護膜

Si₃N₄中のC(カーボン)濃度10%程度に制御して、
GaNに加わるストレスを最小にして、電流値向上

☆ (111)Si表面にCMOSの制御回路

ラジカル酸化・ラジカル窒化技術の導入により、(111)Si
表面にパワーデバイス制御用CMOS集積回路を形成!!

デバイス寸法

ゲート・ソース間	18 μm
チャネル長	6 μm
ゲート・ドレイン間	24 μm
チャネル幅	10 m

$$V_g = 20 \text{ V} : 10^{-1} \text{ A/mm}$$

$$5 \text{ cm} \times 10 \text{ cm}$$

(デバイス面積)

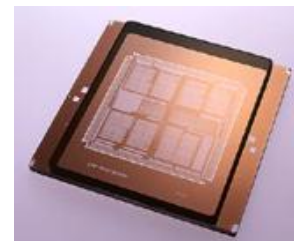
800 V、1,000 A のデバイス

超短時間フォトマスク製造技術

電子ビーム描画:超長時間 ⇒マスク価格の高騰

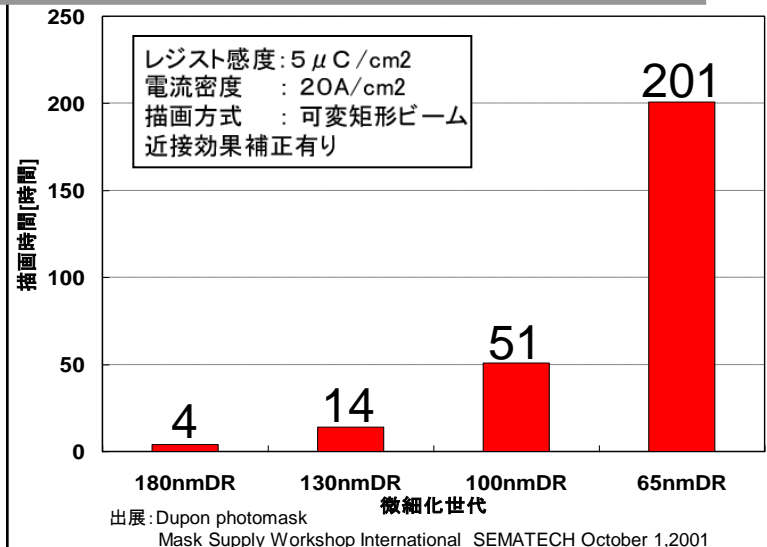
半導体製造工程におけるフォトマスクの重要性

- 半導体LSI回路パターンの原版(通常はチップの4倍の大きさ)
- フォトマスクを用いた露光工程は半導体を量産するための要の技術
- 半導体LSIを1種類を製造するために20~30枚のフォトマスクが必要
- 現在ではEB(電子ビーム)によるフォトマスク製造が主流



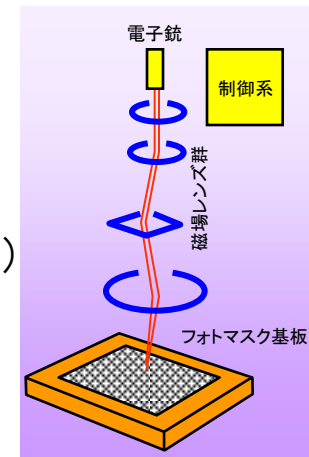
半導体製造用フォトマスク
(写真抜粋)日経BPウェブサイトより

EB描画装置によるマスク描画時間



従来のEB描画装置の問題点

- 一本のビームで二次元(面)を描画
→描画時間の長時間化
- 装置価格が高い(1台:20~30億円)
→減価償却費が
フォトマスク代に転嫁
→フォトマスク代の高騰



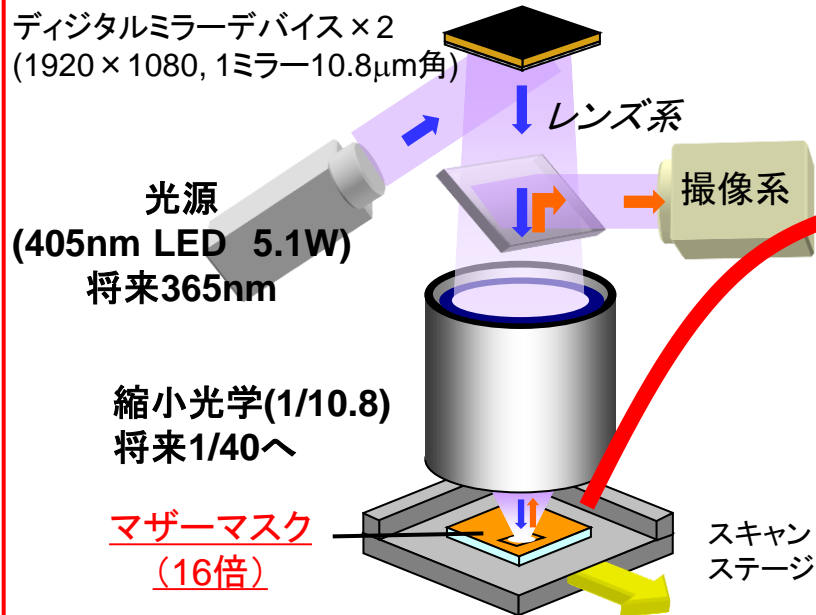
微細化世代が進むほど、フォトマスク製造の問題が半導体の進歩を阻害

45nm世代: 400~500時間 ⇒ 数億円/枚

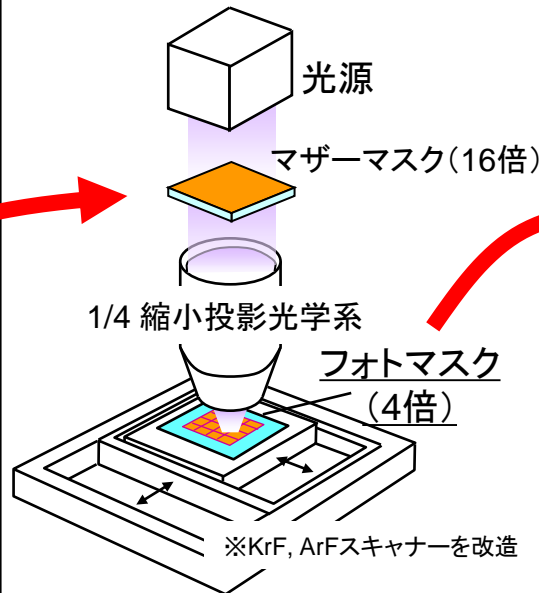
超高速・低コストなフォトマスク描画が可能な描画システムが求められている

超高速・超低成本なフォトマスク描画システムの提案

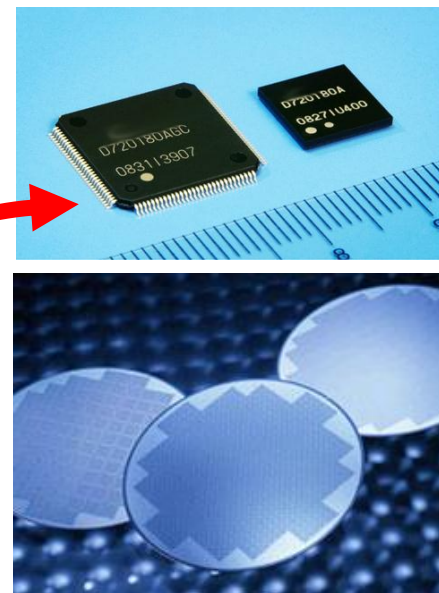
16倍マザーマスク描画装置



フォトリピータ

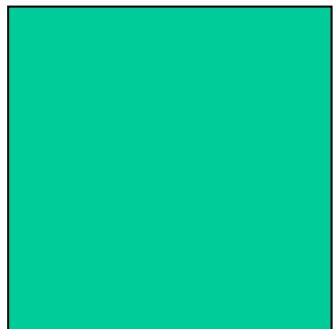


システムLSI



マスク製作(3枚/時間)

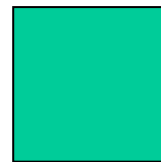
・OPC付マザーマスク(16倍)



基板寸法: 16cm角
描画時間: 10分程度

・OPC付フォトマスク(4倍)

転写寸法: 4cm角
転写時間: 数秒



・65nm/45nm
実デバイス

チップ寸法: 1cm角



1/4縮小

1/4縮小

光(2次元アレイ光)によるマザーマスクの超高速・低コスト描画を目指す

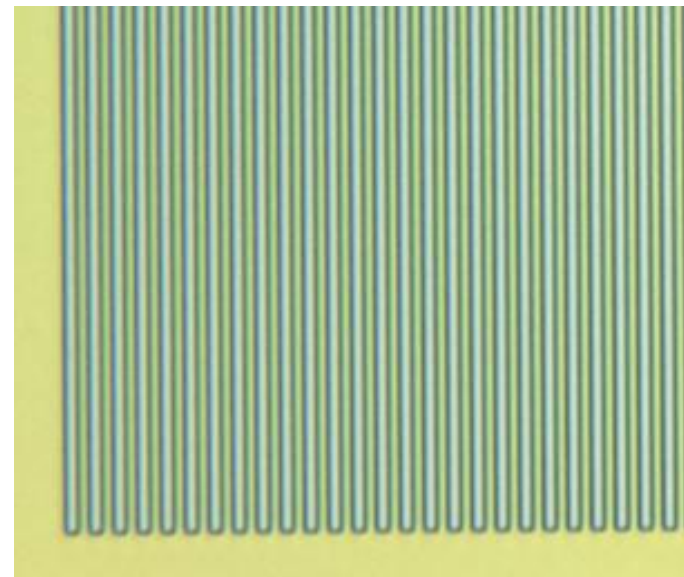
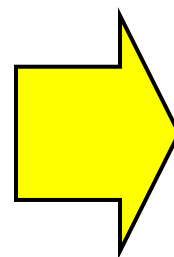
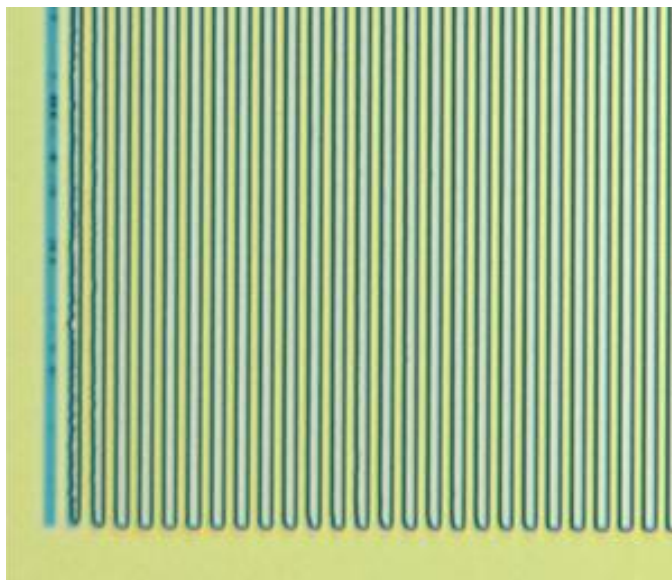
精度補償技術の開発と均一描画性能の評価

※試作β機による評価

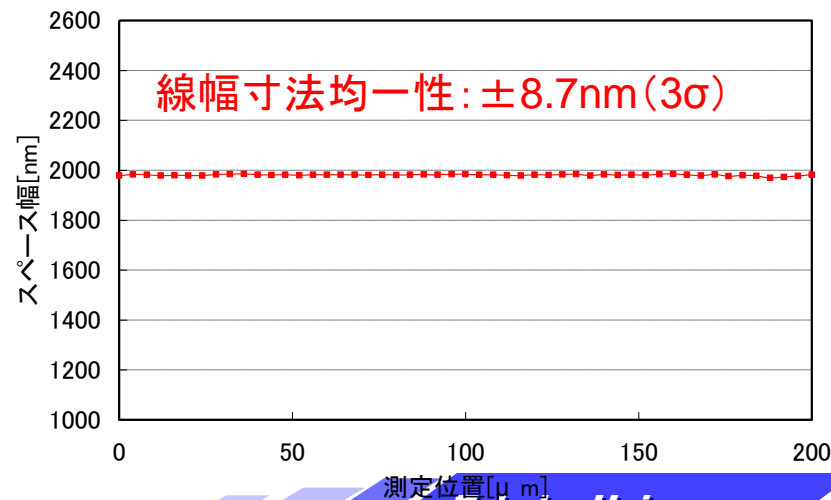
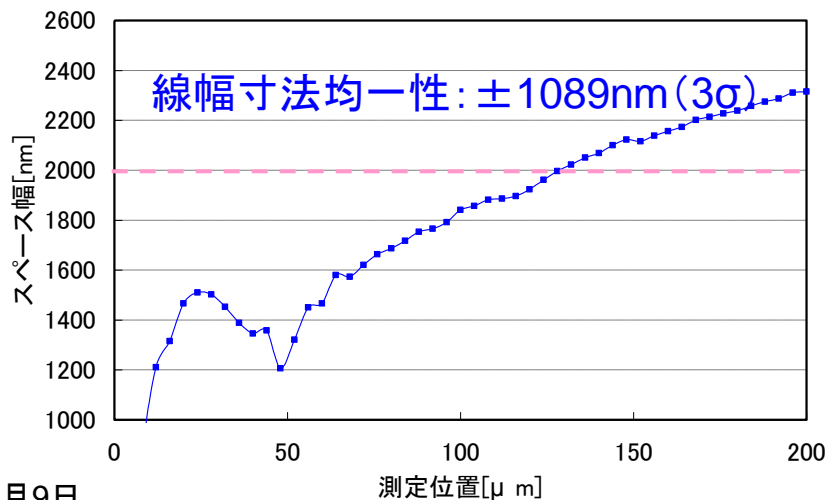
精度補償技術なしの描画結果

精度補償技術ありの描画結果

2.0μmL/S/パターングラフ



線幅(スペース幅)分布



超高性能・超高生産性新製造装置システム

—— 915MHz金属表面波励起高密度プラズマ装置

(915MHz Metal Surfacewave Excitation Plasma :
915MHz MSEP) ——

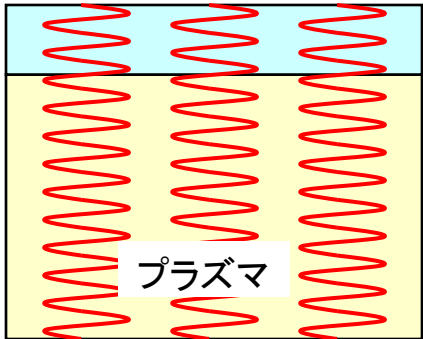
—— ガスの種類を次々と切り替えることで、同一チャンバ内で異なる薄膜の連続成膜・連続エッチングが行える装置 ——

—— 異なるガス種、異なるガスの圧力に対しても常に空間的に均一なプラズマ励起が行えて、反応生成物がいっさいチャンバ内に付着しない装置が実現されて初めて、この従来全く不可能だった超高生産性プロセスは具現化される!! ——

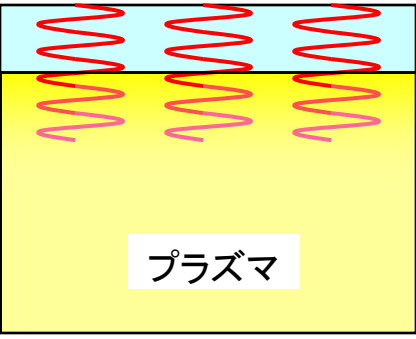
プラズマ励起周波数の2.45GHzからの低周波数化の必要性

低電子密度 $n_e < n_c$

高電子密度 $n_e > n_c$



← 誘電体 →



カットオフ電子密度：

$$n_c = \frac{\epsilon_0 m_e \omega^2}{e^2}$$
 周波数の二乗に比例

⇒ 電波を励起されたプラズマ表面で全反射させるため!!

電磁波はプラズマ中を伝搬

電磁波はプラズマ表面付近で反射される

不安定、高電子温度プラズマ

安定、低電子温度プラズマ

安定、低電子温度プラズマが得られる必要条件：
 プラズマ励起エリア全面に渡って電子密度がカットオフ電子密度よりも十分大きいこと

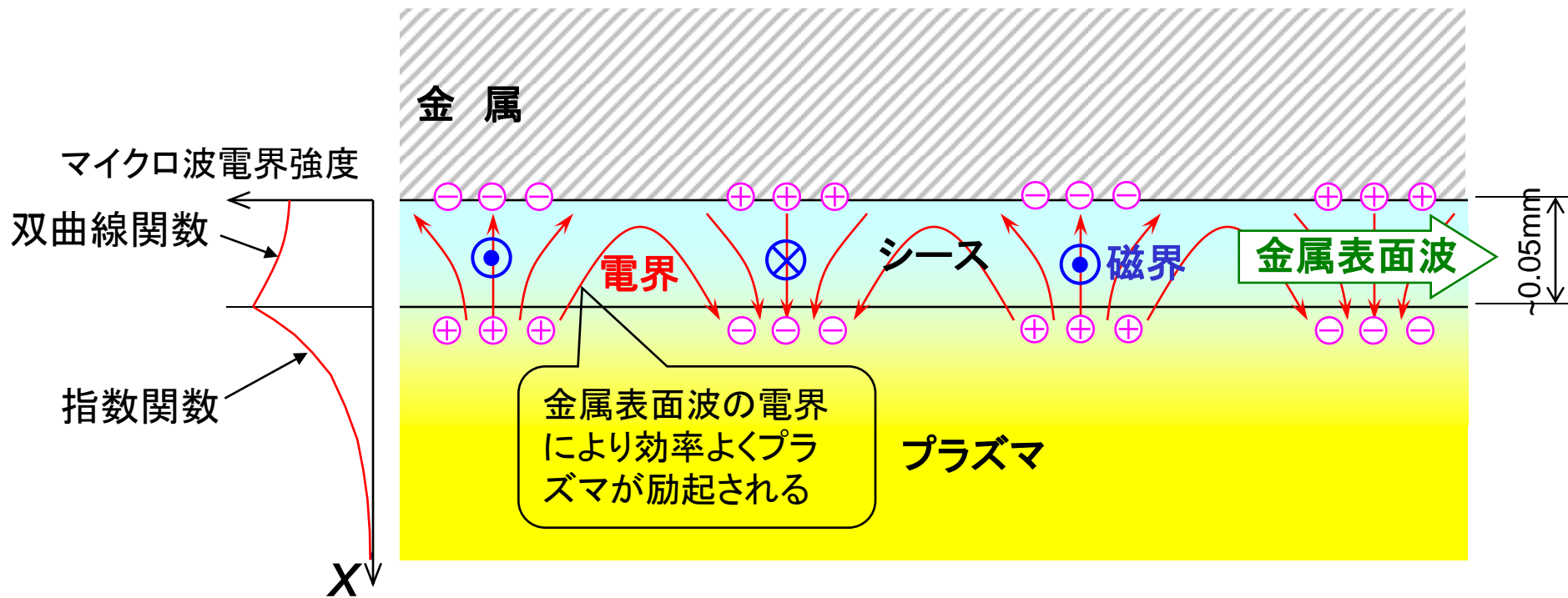
低周波数化 → より低い電子密度で安定で、低電子温度プラズマが得られる
 → あらゆるプロセス条件に対応可能に

$$\begin{array}{ccc}
 w / 2p = 2.45 \text{ GHz} & \rightarrow & n_c = 7.45 \times 10^{10} \text{ cm}^{-3} \\
 \downarrow 1/2.7 & & \downarrow 1/7.2 \\
 w / 2p = 915 \text{ MHz} & \rightarrow & n_c = 1.04 \times 10^{10} \text{ cm}^{-3}
 \end{array}$$

2.45GHz→915MHzにすれば電子密度が1/7でも安定なプラズマが得られる。プラズマ励起効率も格段に向上
 ⇨しかし、915MHzの電波は波長が32.8cmと長いため、通常は空間的に均一なプラズマ励起はできない!!

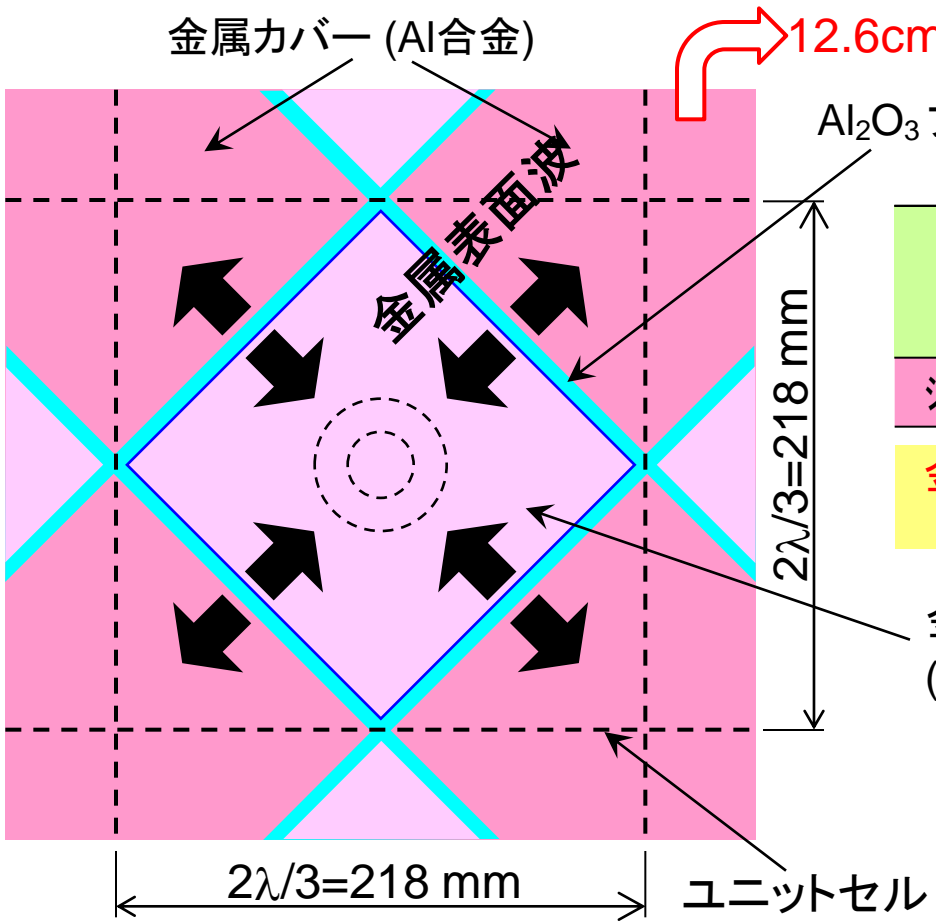
金属表面波 (Metal Surface Wave)の存在を発見し、その全面導入

2007年に我々の研究グループで金属表面波を発見。また、金属表面波により極めて効率よくプラズマを励起できることを発見。伝搬メカニズムを理論的に解明。実際のプラズマを完全に再現するプラズマシミュレーション技術を開発。さらに、金属表面波でプラズマを励起する画期的なプロセス装置(MSEP)を着想。

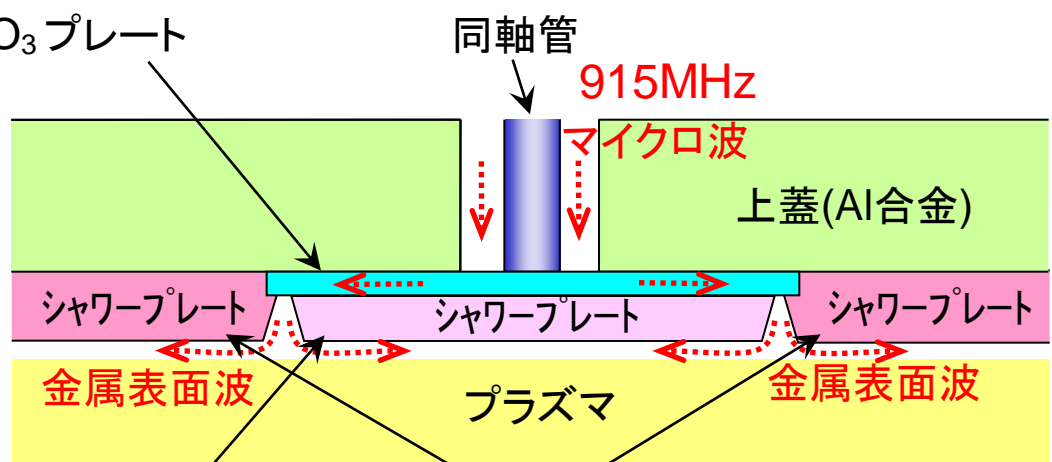


金属表面波の伝搬速度は自由空間における伝搬速度にくらべて十分遅く(1/16~1/5)、自由空間では32.8cmの915MHzの波長が2cm~7cmと短い。そのため、915MHzでも空間的に均一なプラズマ励起が可能となることを新たに発見!!

金属表面波励起プラズマ装置の創出



12.6cm × 12.6cm角のAl合金板が水平方向に多数配置

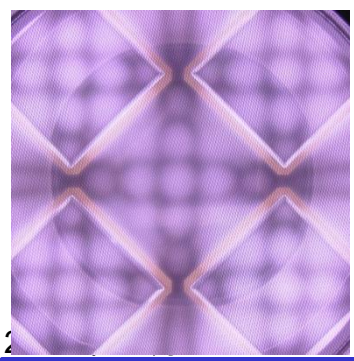


金属電極(Al合金) (12.6cm × 12.6cm) 金属カバー(Al合金) (12.6cm × 12.6cm)

Al合金の表面は、厚さ0.3μm~0.5μmの全く腐食されない非水溶液陽極酸化Al₂O₃ 保護膜で覆われている

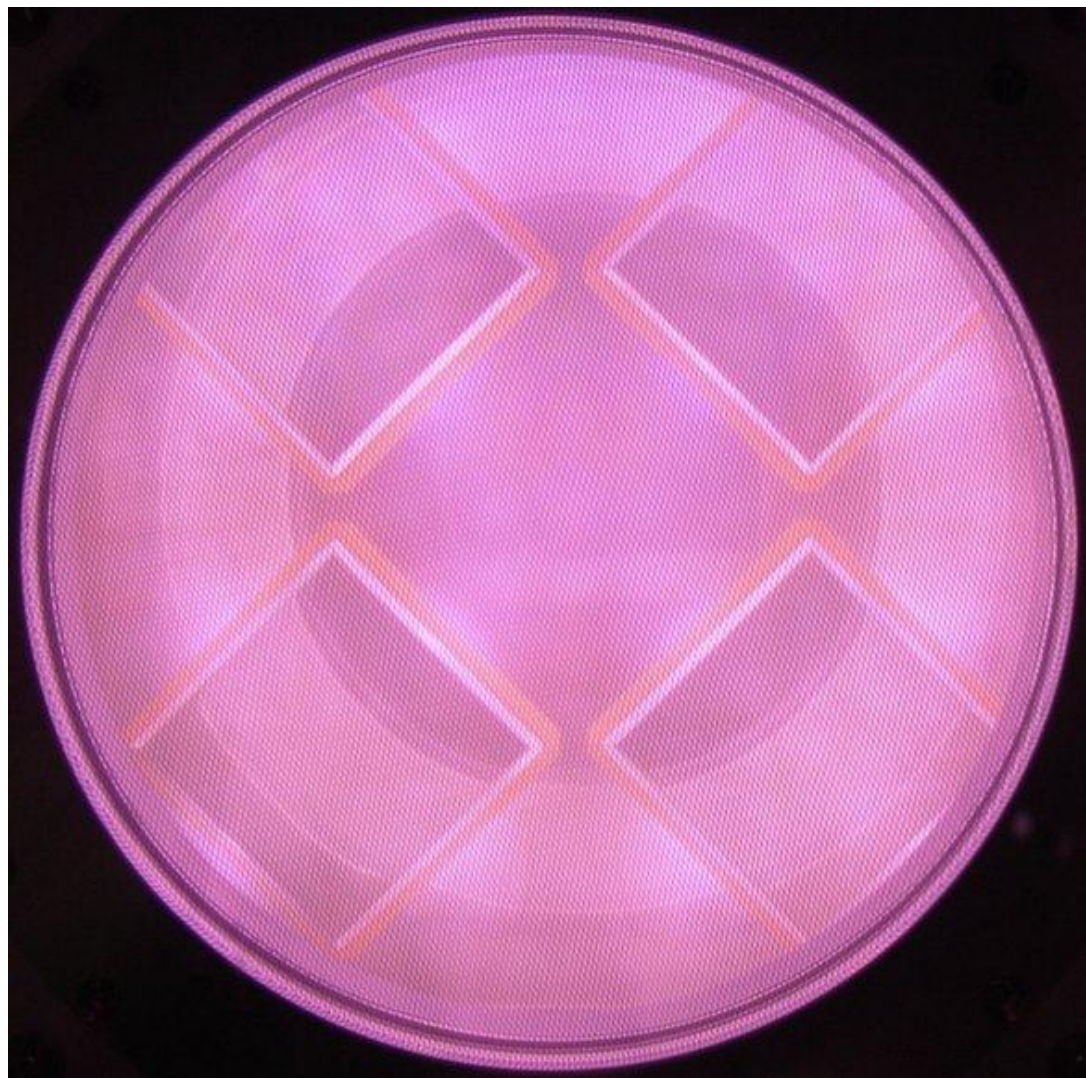
- 電極部(金属電極)と周辺部(金属カバー)の形状が同じ。全く同じプラズマが励起される。
- この対称性により、最小単位の面積が半分に
- 金属表面波の必要伝搬距離が最小

→ 世界で初めて如何なる条件でも均一なプラズマを励起可能な装置が実現 !!



←実際のプラズマの写真
金属電極と金属カバー上に
同一の2次元的な定在波
パターンが生じている。

微結晶Si成膜条件でのMSEPプラズマ



2.45GHz RLSAでは、プラズマ励起が難しかった

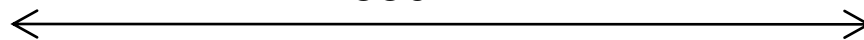
$\text{SiH}_4/\text{H}_2/\text{Ar} = 6/10/63$ sccm

0.03 Torr

1kW ($0.93\text{W}/\text{cm}^2$)

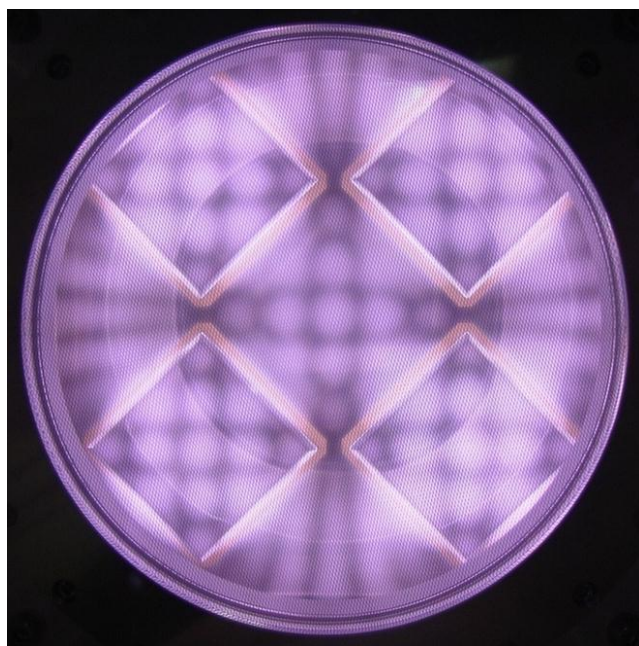
低圧・低電力でも極めて安定で均一なプラズマの励起が可能！

330mm

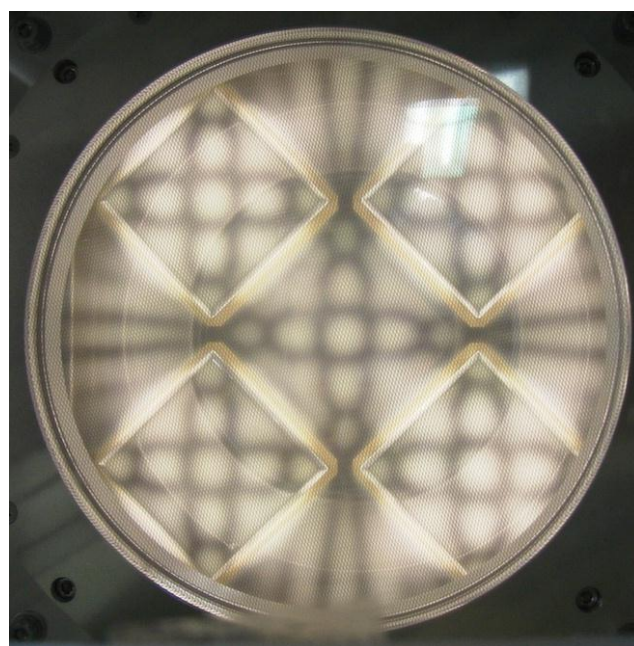


低電子密度におけるMSEPプラズマ

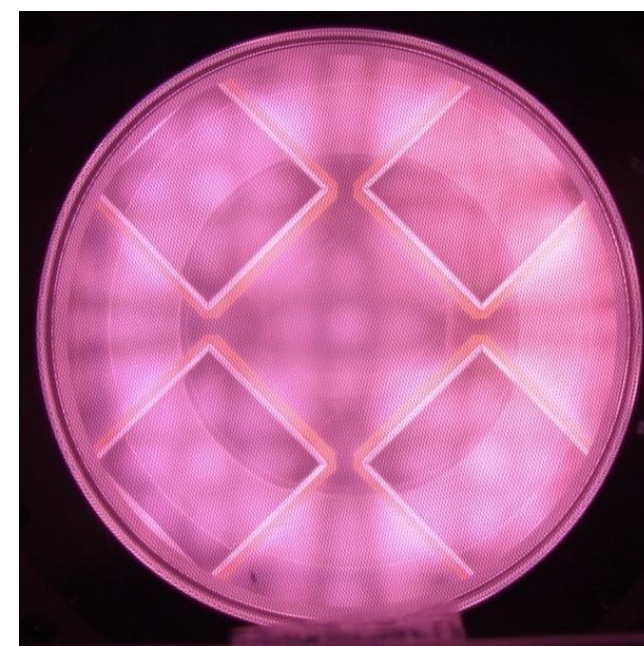
0.5Torr



1.86 W/cm²
Ar/O₂ (50%)



2.33 W/cm²
O₂ (100%)



2.33 W/cm²
NF₃ (100%)

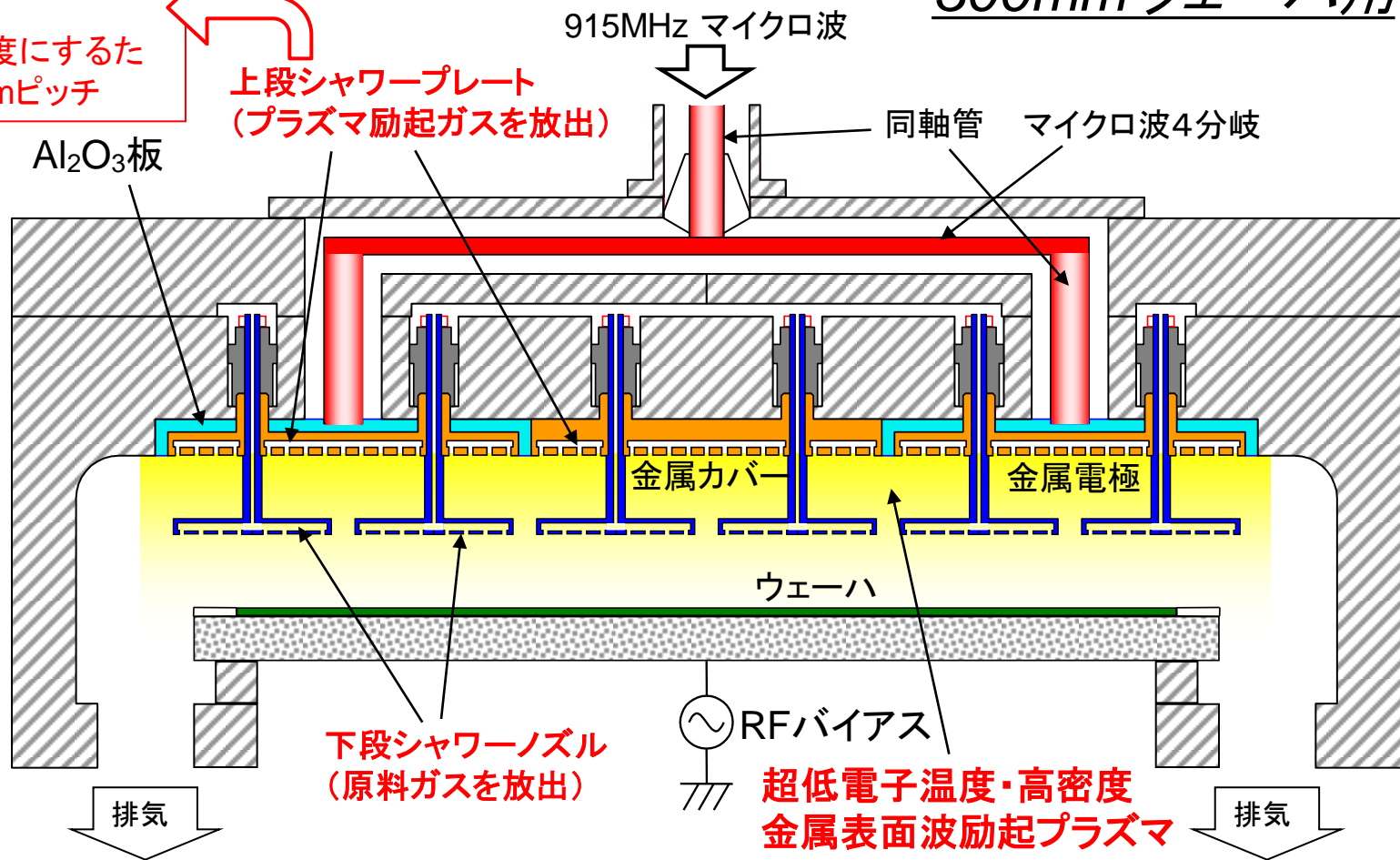
負イオンが生成されやすいO(酸素)やF(フッ素)等のガスを多量に混入すると、プラズマ中の負イオンの密度が高くなり、逆に電子密度が低くなる。このような条件では、2.45GHzのプラズマ装置ではプラズマの着火すらできなかった。

大量の負イオンが生成されるようなプラズマ励起が困難なガス条件でも、低パワーで安定、均一なプラズマが励起できる！

半導体ウェーハ用MSEP

300mmウェーハ用

- ・異常放電を抑えるためガス吹き出し穴直径0.13mm、
- ・ガス吹き出し風速1m/sec程度にするため多数のガス放出口:0.3mmピッチ



1段シャワープレートタイプ
(下段シャワーノズルなし)

酸化・窒化・酸窒化
下部バイアスなし
プラズマイオン注入
下部バイアスあり

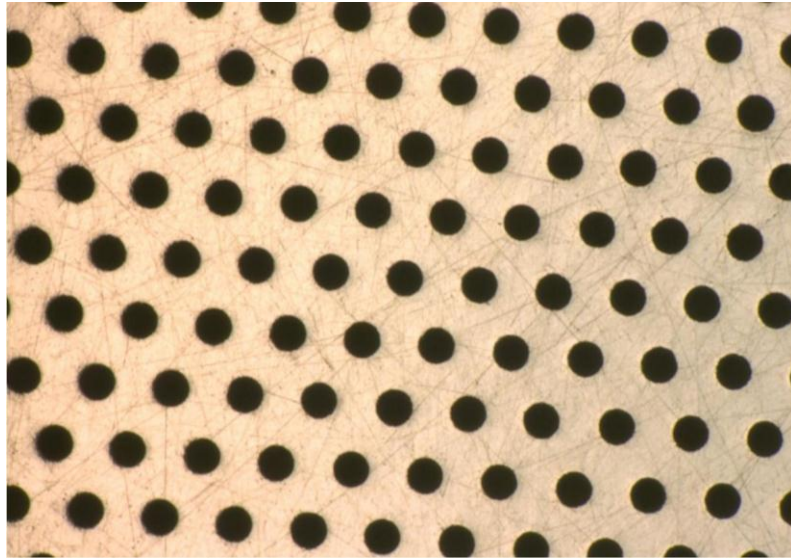
2段シャワープレートタイプ

CVD
下部バイアスあり
RIE
下部バイアスあり

MESPは、一台のプロセス装置でガス種を次々と切り替えながら複数の連続した成膜・エッチングが行える唯一のプラズマ装置(このようなプラズマ装置はこれまで全くなかった)。基板を殆ど動かさずに少数のプロセス装置で極めて効率よく生産が行える。

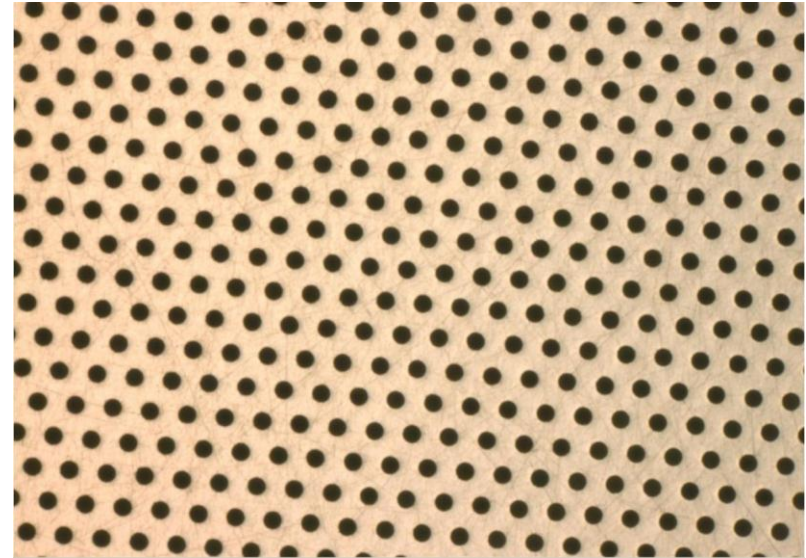
MSEP上段Al合金シャワープレート (チャンバ内に均一かつ層流状にガスを流す)

× 100



1mm

× 50

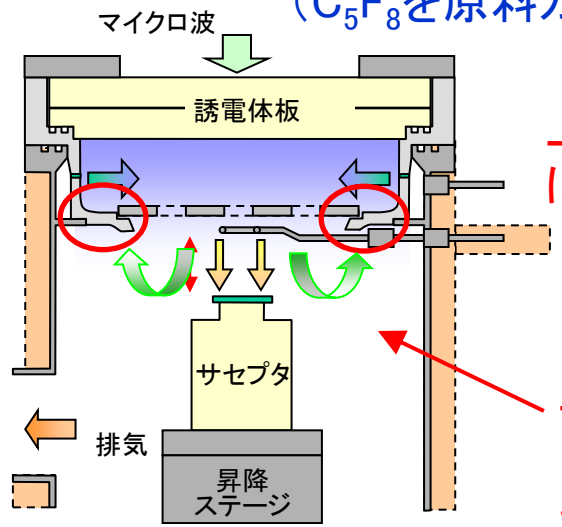


1mm

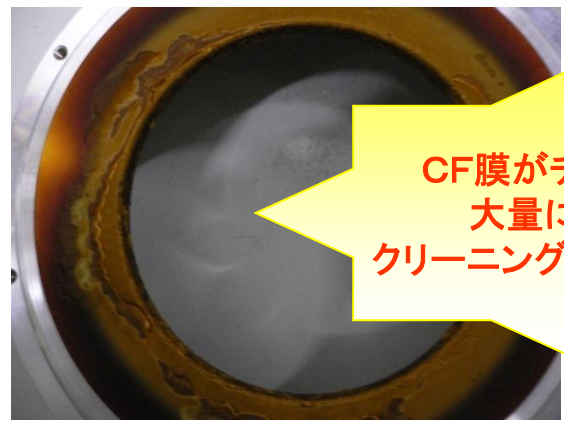
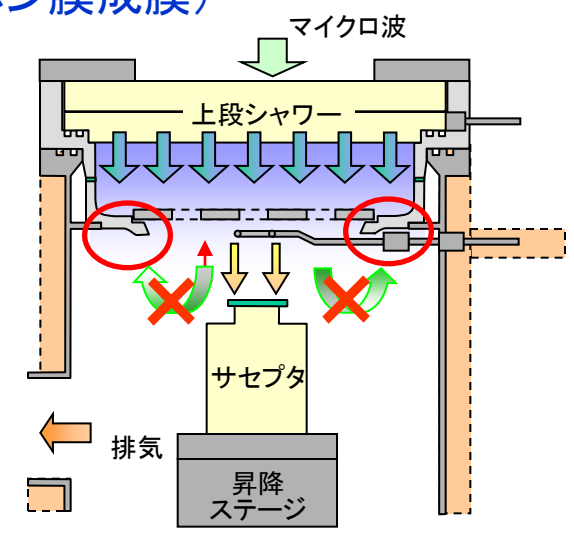
異常放電を抑えるために、表面は完全に平坦にし、ガス吹き出し穴内部で異常放電が起きないように穴径を0.13mmに設定、チャンバ内のガスフローパターンが均一かつ層流状になるようにガス吹き出し流速を1m/秒程度にするため、0.3mm弱のピッチで吹き出し穴を設けている。12.6cm × 12.6cm角のAl合金板に、0.13mm直径のガス吹き出し穴が13.5万個配置されたシャワープレートを並列に設置。300mmウェーハ用装置の穴数：95万個、1.20m × 1.65m太陽電池用装置の穴数：2,600万個、2.88m × 3.08m大型ディスプレイ用装置の穴数：1億1,300万個。

上段シャワープレートの導入により、チャンバ内のガスフローパターンが均一かつ層流状になると反応生成物のチャンバ内堆積無し
(C_5F_8 を原料ガスとするフッ素カーボン膜成膜)

ガスの吹き出し流速が音速以上
↓
チャンバ内ガス乱流状態



上段シャワープレートに変更
→
チャンバ内のガスは引っかき回されていた



CF膜がチャンバ内に大量に付着し、クリーニングで取りきれない

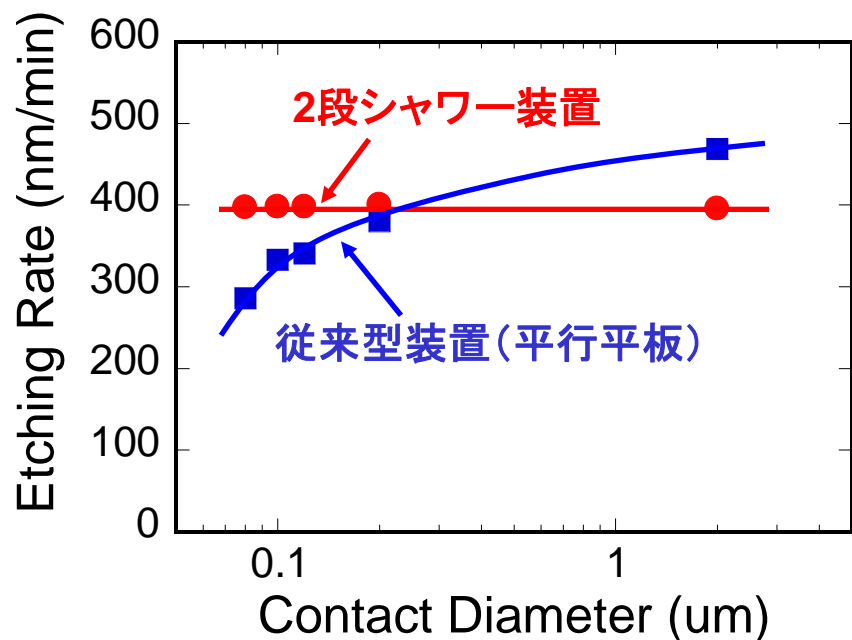
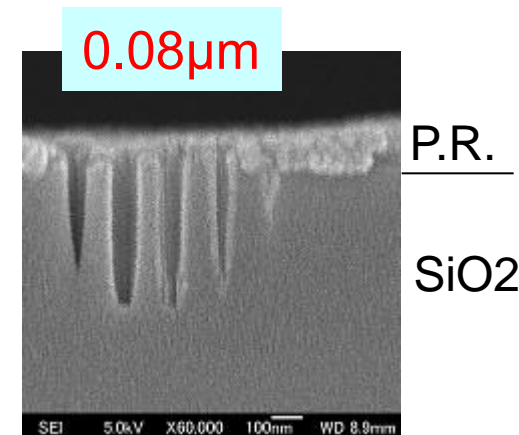
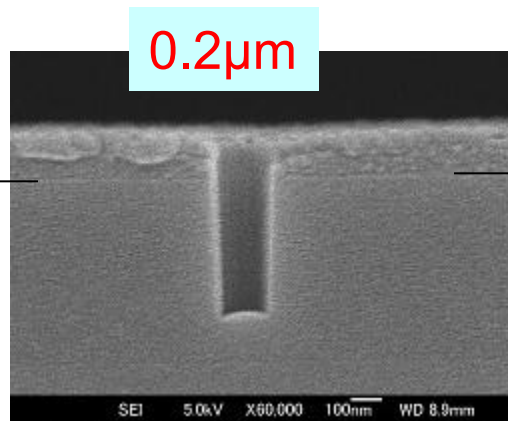
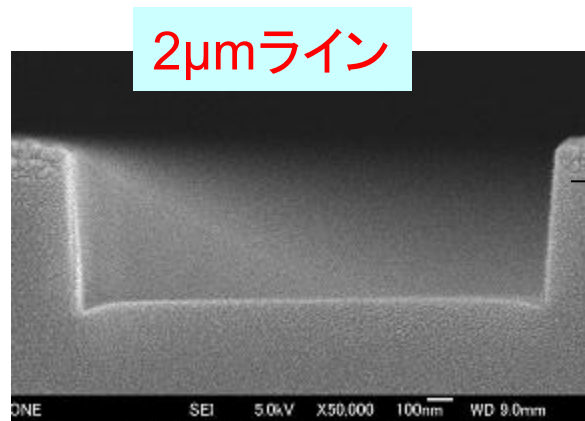


ほとんどデポ物はない
⇒ 不要な場所へのデポがなくなった

上段シャワープレートからAr、下段シャワープレートから C_5F_8 を流すフッ素カーボン膜成膜で、Arガスが均一かつ層流状に流れて、 C_5F_8 がプラズマ励起領域に戻らなければ、反応生成物のチャンバ内堆積は無くなる。

すべてのパターンサイズに同じエッチング速度を示す初めての装置

対レジスト
選択比:**6.7**
($|V_{dc}|=950V$)



20mTorr、 $P_{\mu}=1.2kW$ 、 $P_{rf}=0.8kW$
 上段: Ar=230sccm
 下段: Ar/c-C5F8/O2=20/7/3.5sccm 90sec

☆ 従来の装置では、チャンバ内のガスは完全に乱流状態!!
 プロセスガスがプラズマ励起領域で分解解離
 ⇨ 深くて細いコンタクトホールでは入口付近の壁面に吸着して、底部に到達するガスがパターンサイズが小さくなるにつれて減少

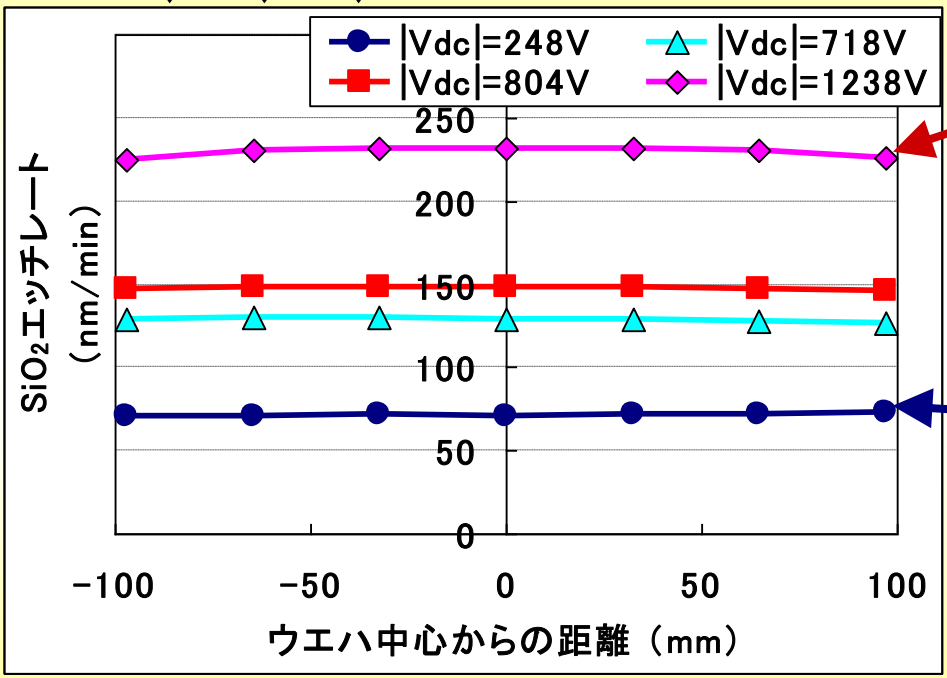
コンタクト径2μmから80nmまで同じエッチング速度を示すエッチングを実現

高い生産性を維持しながら、ダメージフリー2段階エッチング

【SiO₂】

上段: Ar=400、下段: Ar/C₅F₈/O₂=100/15/15sccm

RF=100, 400, 500, 1000W



SiO₂エッチレートの基板セルフバイアス依存性

高速エッチングモード

|Vdc|>1kV

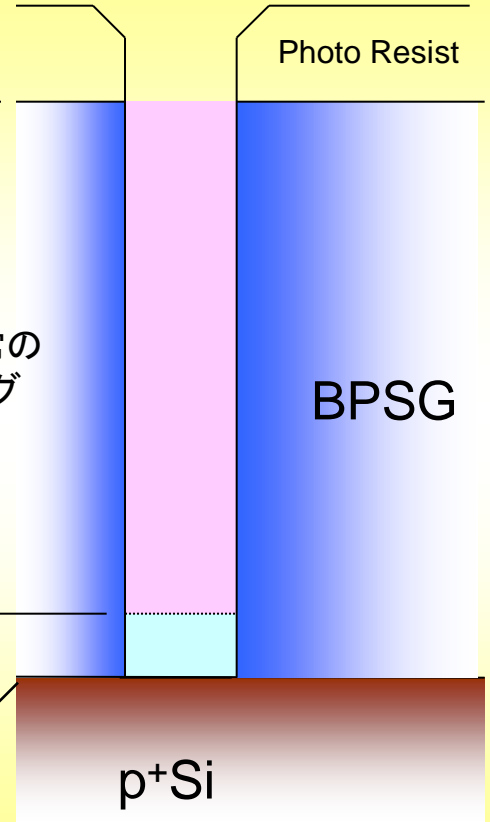
コンタクトホール約90%は通常の高速エッチングモードでエッチング

ダメージフリーエッチングモード

|Vdc|~200V

下地シリコン基板(特にp⁺領域)へのダメージを与えない。

Vdc: 基板セルフバイアス



ガスの圧力、種類、基板電極セルフバイアス及びウエーハの種類を変えてもプラズマは均一! 従来2台のチャンバが必要であったが、同一チャンバで実現!

⇒ プロセスの途中でプロセス条件を変えてもプラズマの均一性が維持される世界最初の装置

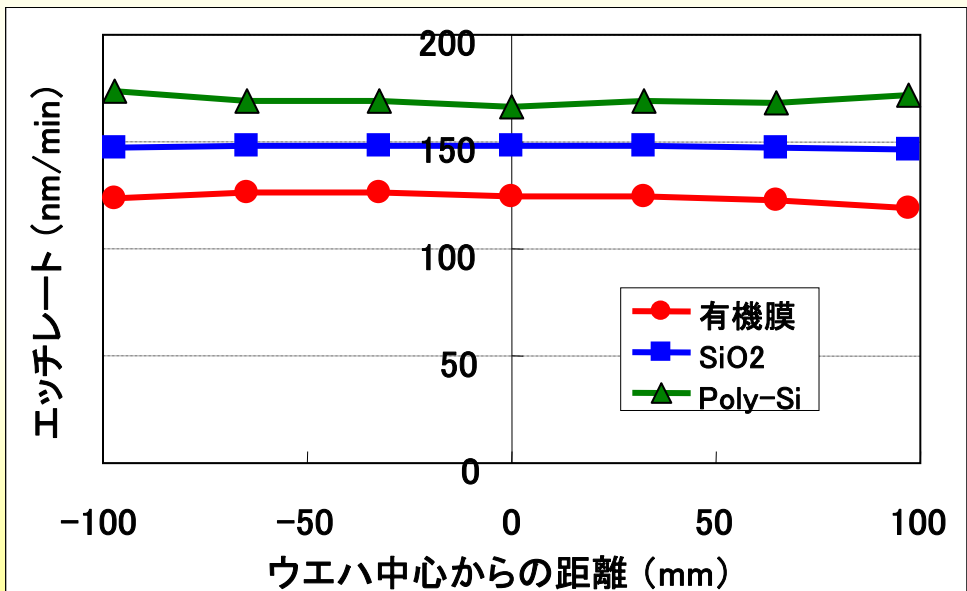
(有機膜・ハードマスク(SiO₂)・Poly-Siの連続エッチング)

【有機膜およびSiO₂】

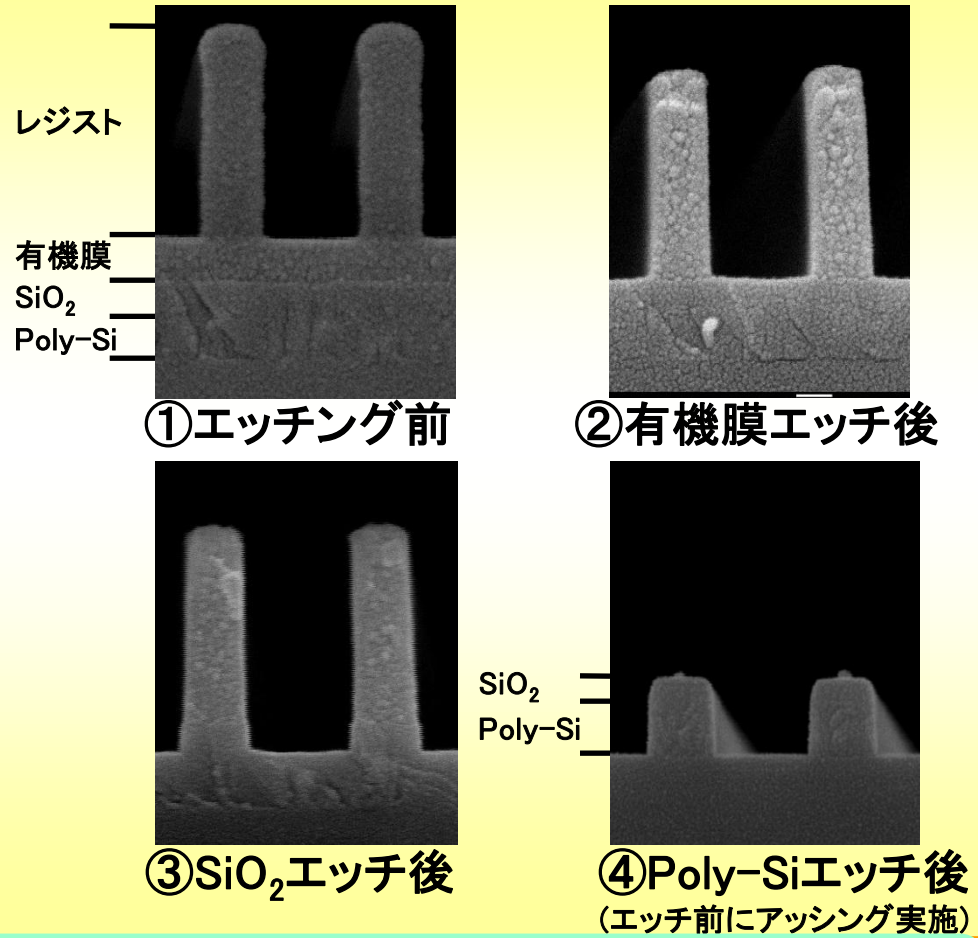
上段: Ar=400、下段: Ar/C₅F₈/O₂=100/15/15sccm

【Poly-Si】

上段: Ar=30、下段: Ar/HBr=10/120sccm



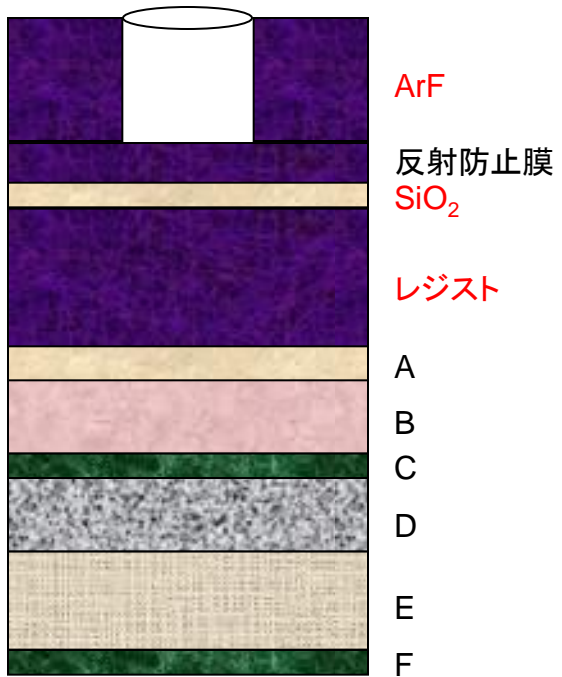
有機膜・SiO₂・Poly-Siのエッチレート



ガスの圧力、種類、基板電極セルフバイアス及びウエーハの種類を変えてもプラズマは均一！従来2台のチャンバが必要であったが、同一チャンバで実現！

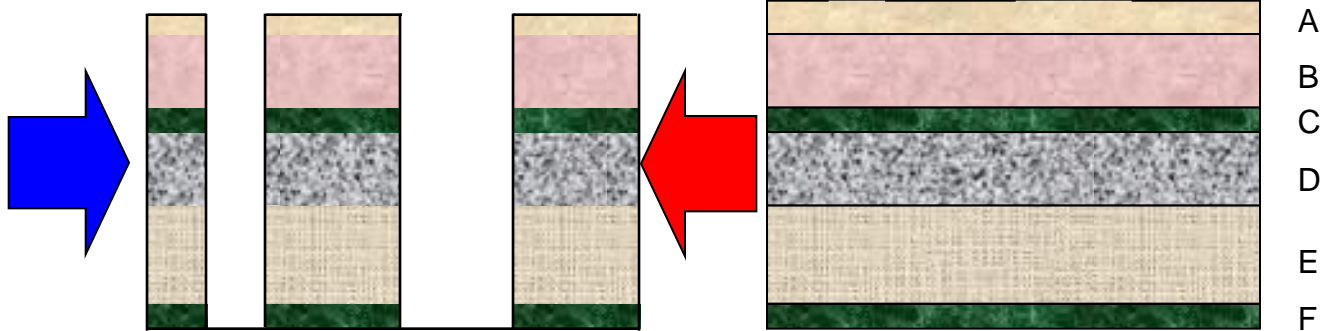
➡ 超高生産性半導体製造に完全対応!!

超高生産性半導体製造装置



一つのチャンバでガスの種類を切り替えることで、異なる薄膜の連続エッチングを実現!!

RLSAプラズマ装置
 MSEPプラズマ装置



従来装置:
 エッチング工程: 8工程 ⇒ チャンバ8台必要
 レジスト塗布工程: 1工程増加

MSEP装置:
 エッチング工程: 全プロセスを1台にて処理
 加工寸法に依存しない

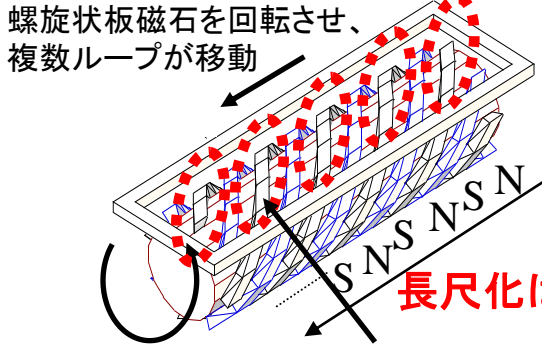
プロセス条件を変更しても完全に均一なプラズマ励起が可能!!
 同時に反応生成物がいっさい付着しない初めての装置!!
 ガス種を切り替えるだけで異なる薄膜の連続成膜・
 連続エッチングが行える超高生産性製造を実現!!

回転マグネットスパッタ装置

全く新しいダメージフリーマグネトロンスパッタ装置 ～ Rotation Magnet Sputtering (ROT-MS) ～

新技術

力: 220N
トルク: 0.75Nm



長尺化は容易

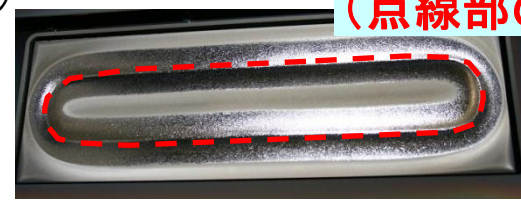
プラズマループ
(エロージョンループ)

ターゲットが均一に消耗
(→高ターゲット効率化、プラズマ状態変化無し)

消耗部分
(点線内全領域)

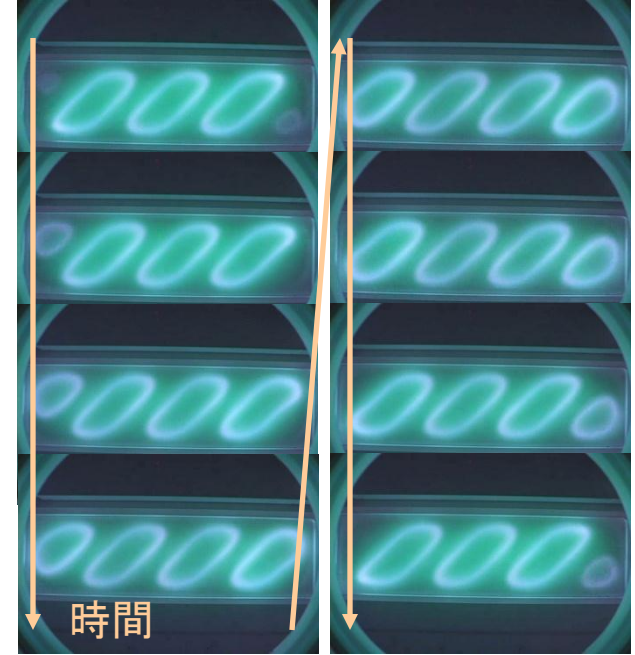


局所的な消耗
(点線部のみ)



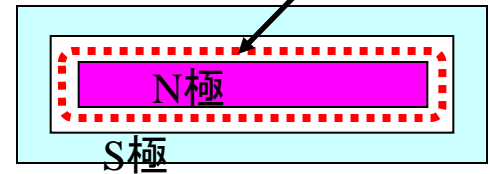
ターゲットが局所的に消耗
(→ターゲット短寿命、プラズマ経時変化を引き起こす)

プラズマループの時間変化
(60mTorr、RF800W)



均一なプラズマループが移動
(1つのターゲット上に複数のプラズマループを安定に生成!)

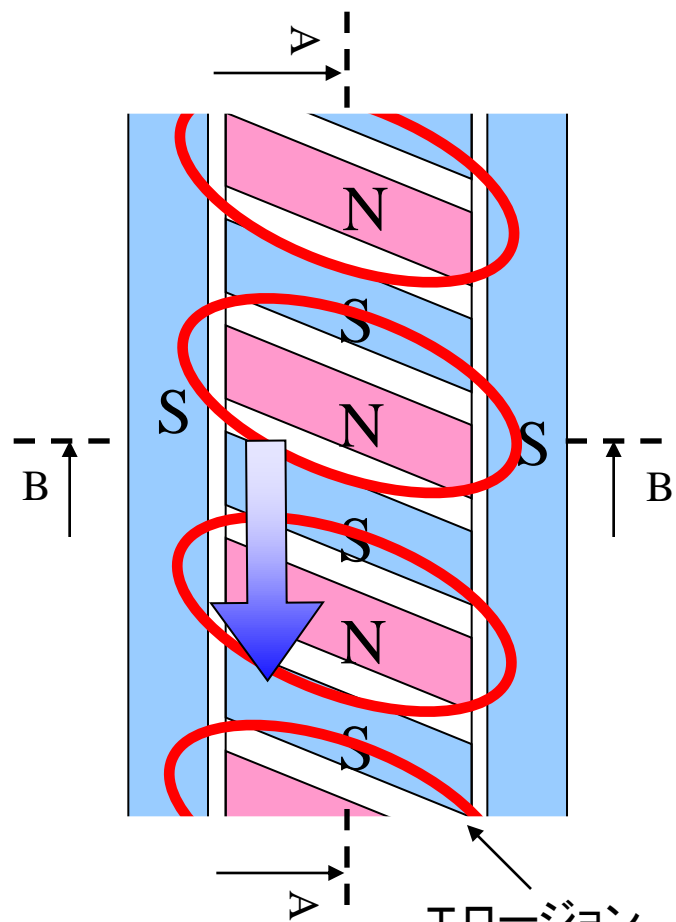
従来技術



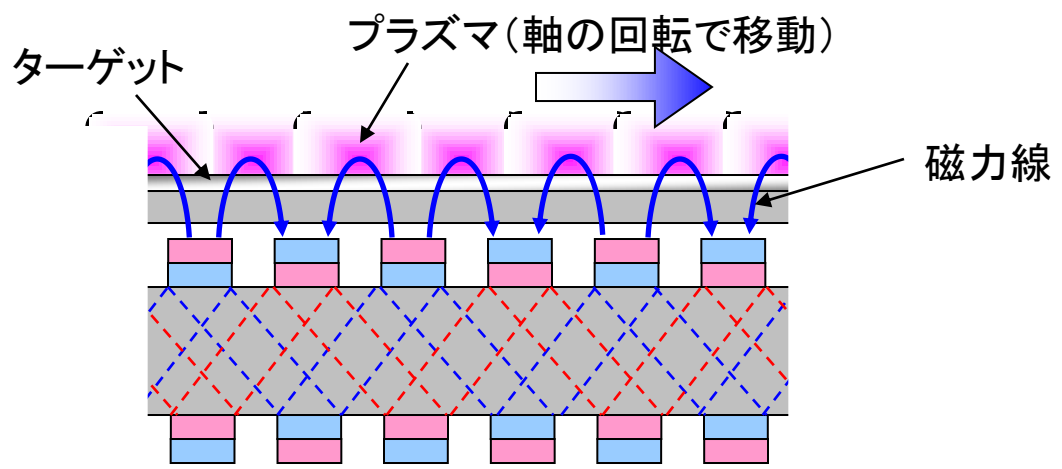
固定板磁石で単一ループ形成

- チャージアップダメージ、イオン照射ダメージ無し
 - 大型基板(2.88m×3.08m以上)への均一成膜に完全対応
 - ターゲットの超高効率使用が可能(90%以上、現状技術では最大でも20%程度)
- ⇒太陽電池裏面電極、Si、Ge-pinダイオード、有機ELディスプレイ(有機EL上へのダメージフリー電極成膜)、段差の無い高移動度TFT、半導体製造工程への適用へ

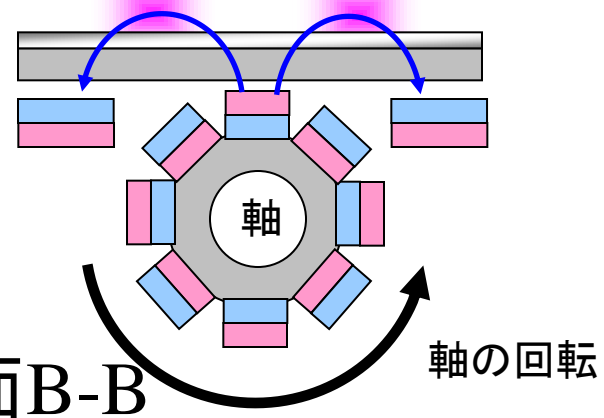
従来技術の欠点を克服する回転マグネットスパッタの原理



エロージョン
(軸の回転と共に移動)



断面A-A



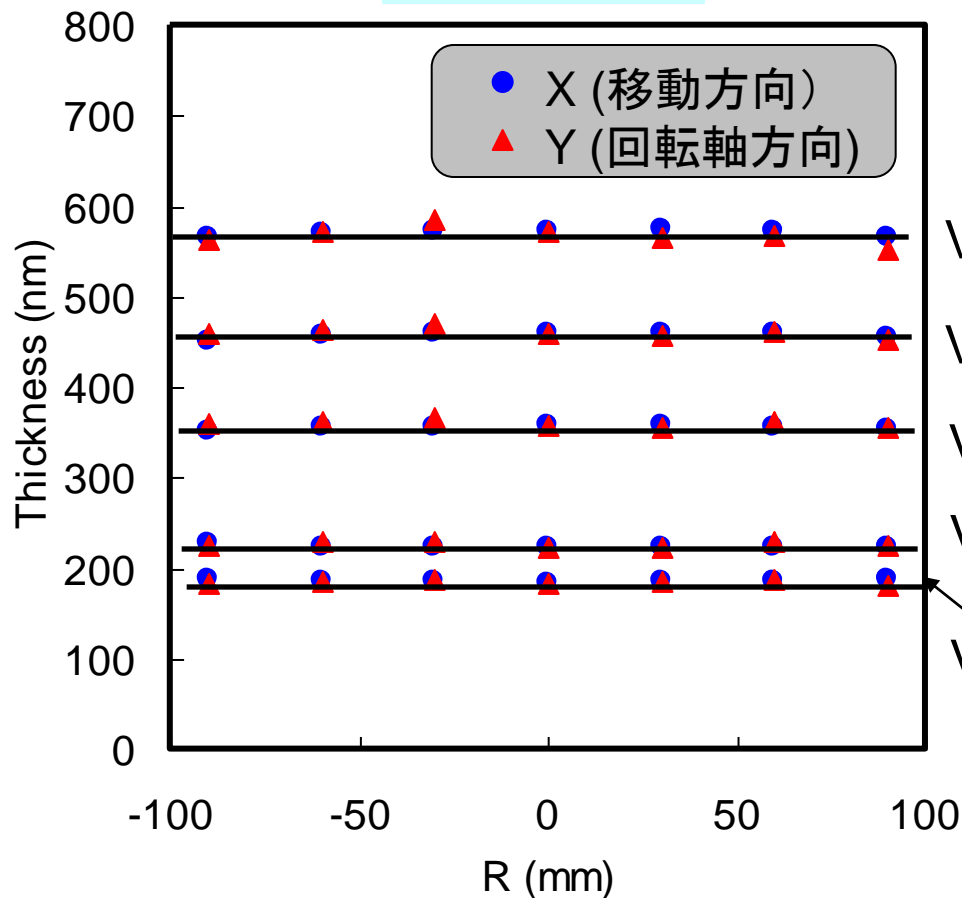
断面B-B

- 長尺のスパッタガン: 長手方向には基本的に制限無し。
- 螺旋磁石がNとS交互に並んでいるため、回転軸と周辺固定磁石との間に力やトルクがほとんど発生しない。(従来構造の1/10以下)

200mm径ウェーハ上での成膜均一性

Al Target, Substrate:1cm/s, 11scan, slit width 60mm

Ar 5mTorr



ターゲット電圧をDC電力で制御

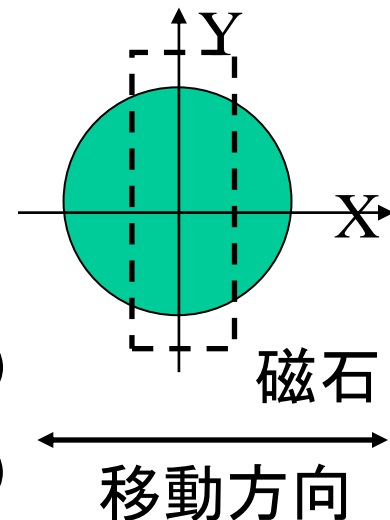
Vtgt = -400V(RF+DC)

Vtgt = -320V(RF+DC)

Vtgt = -260V (RF+DC)

Vtgt = -200V (RFのみ)

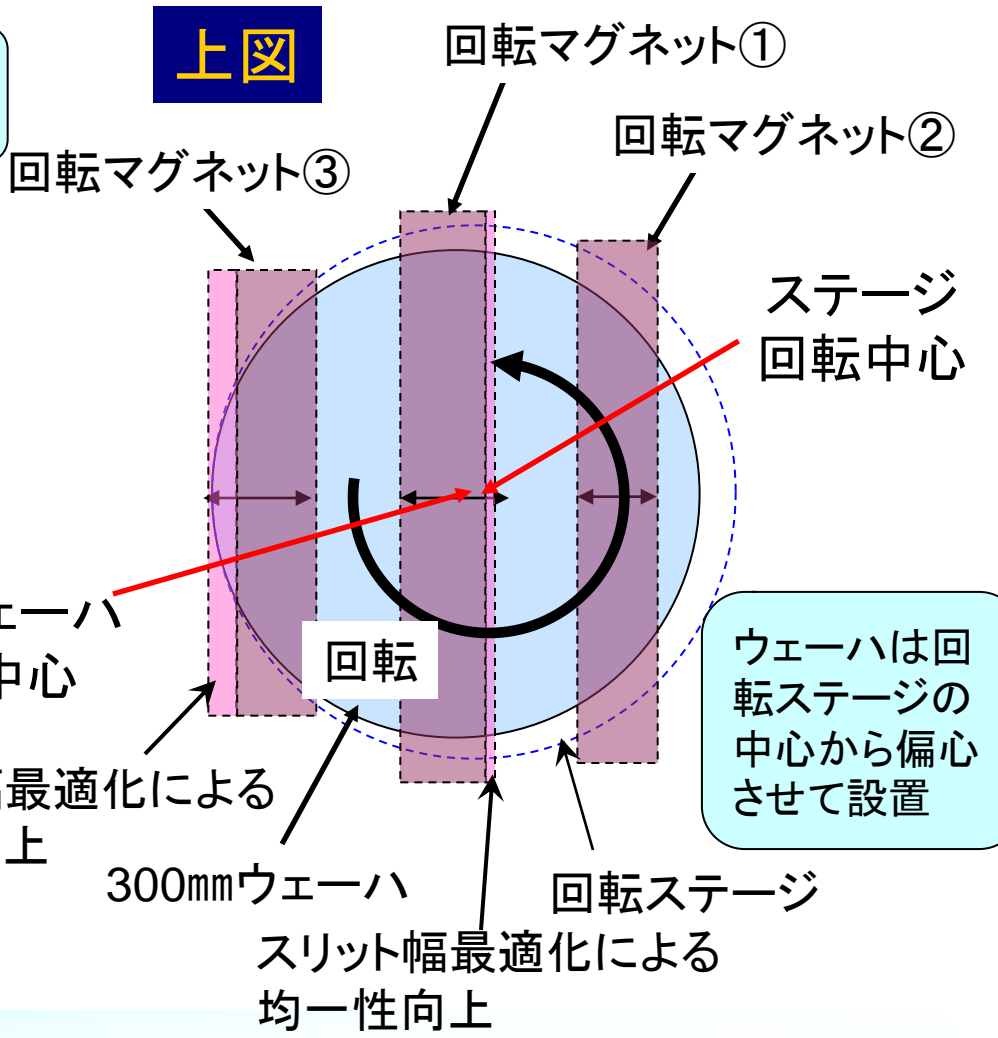
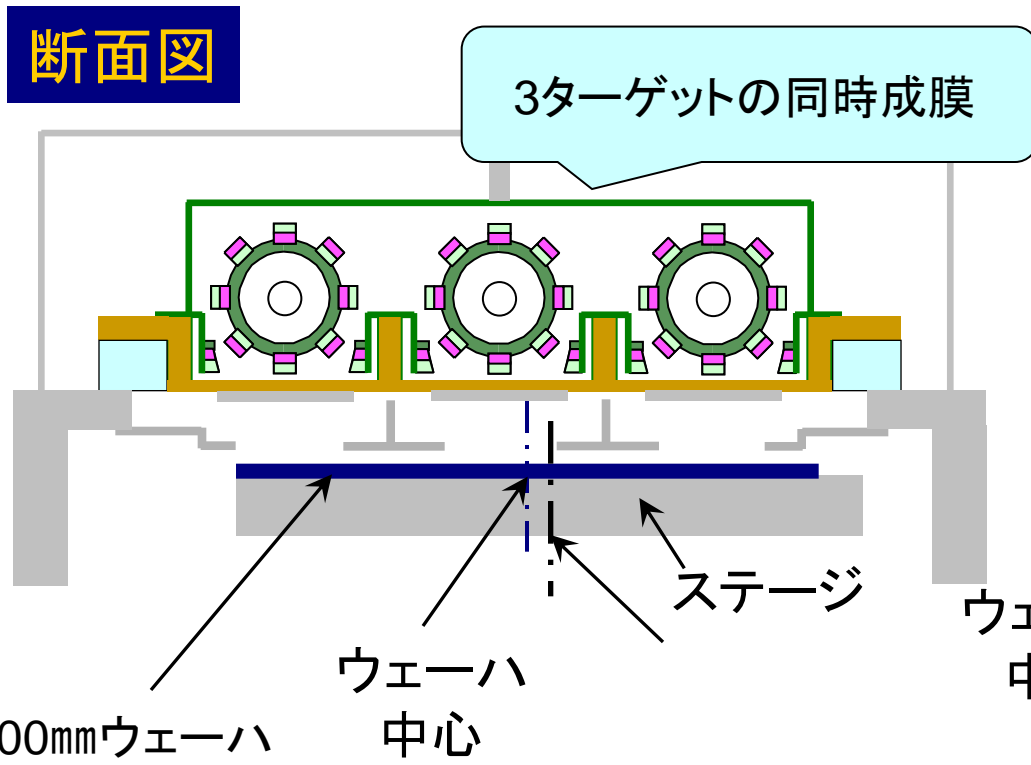
Vtgt = -320V (DCのみ)



RF (13.56MHz)オンの場合は、800W 固定

RF励起、DC励起、及びRF+DC結合励起のいずれにおいても高均一成膜が実現 (2.5mTorr~40mTorrにおいて、1σで0.5~2.5%程度)

300mm径ウェーハ用回転マグネットスパッタ装置 (回転ステージとマルチターゲット)



300mmウェーハ : 3ターゲット
500mmウェーハ : 5ターゲット

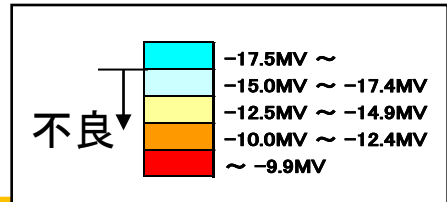
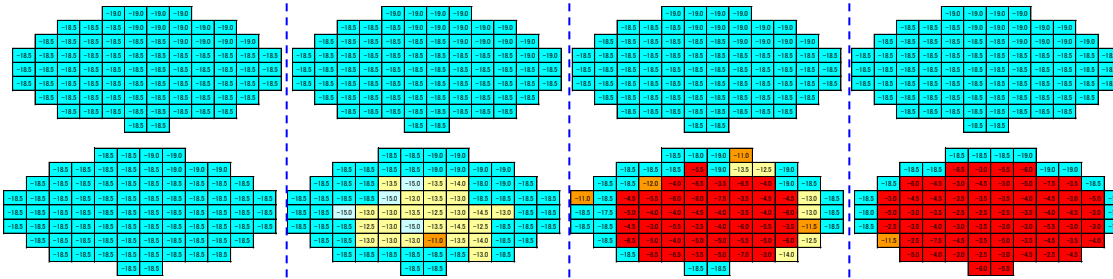
ダメージをいっさい与えず、完全な均一性を有する回転マグネットスパッタ成膜装置
→設置面積を増加させずに300mm、500mmウェーハ対応可能

回路レイアウトパターンの制限を克服する初めての装置 ~アンテナMOSの耐圧マップ

プラズマCVDプロセス (SiO₂)

新しい
プラズマ装置

従来型
プラズマ装置

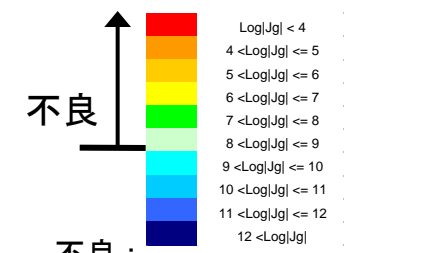
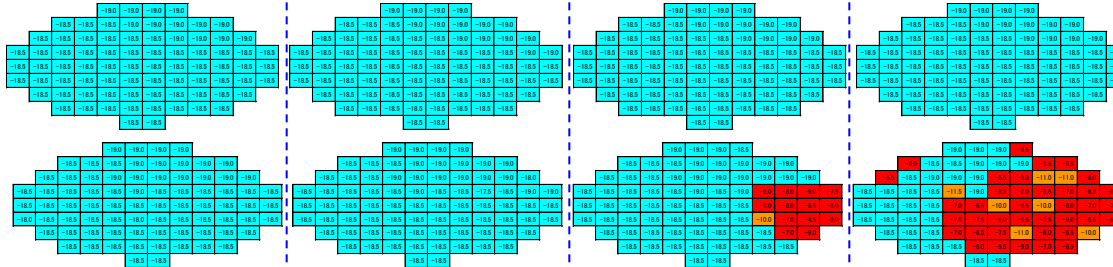


面積: 5um x 5um
(1.4K, 10K, 100K)
2.5um x 2.4um
(1M)
Tox : 4nm
判定電流 : 10⁻⁶A

酸化膜エッチングプロセス

新しい
プラズマ装置

従来型
プラズマ装置

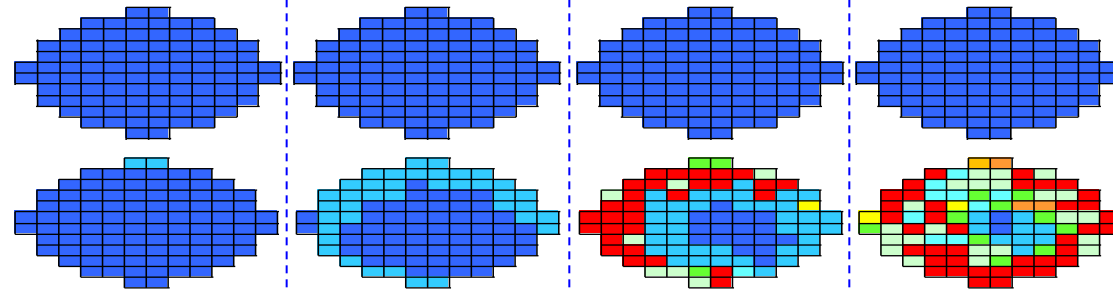


不良 :
J_g @ -5V > 1x10⁻⁹A/μm²
T_{ox} : 3.5nm

スパッタプロセス

回転マグネット
スパッタ装置

従来型
スパッタ装置



(アンテナ比)

1.4K

10K

100K

1M

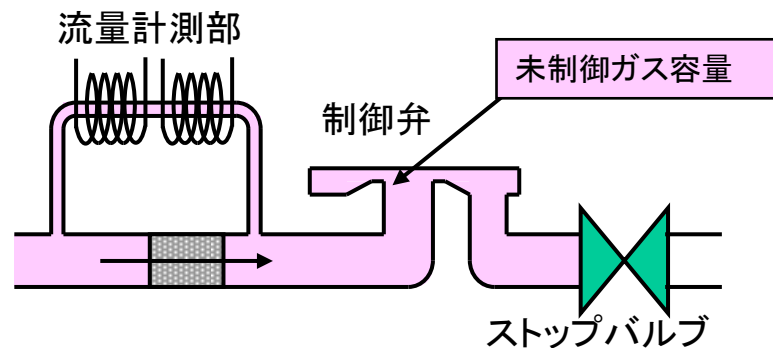
従来のプラズマ装置では、アンテナ比を
100以下に設計しないと生き残るチップ無し!!

任意の回路レイアウトパターンが使える
(設計の自由度が劇的に向上)

圧力計測・圧力制御型流量制御(FCS)と
電気2重層キャパシタ内蔵電動バルブ(ECV)
を活用した、チャンバへのきわめて正確な
ガス供給

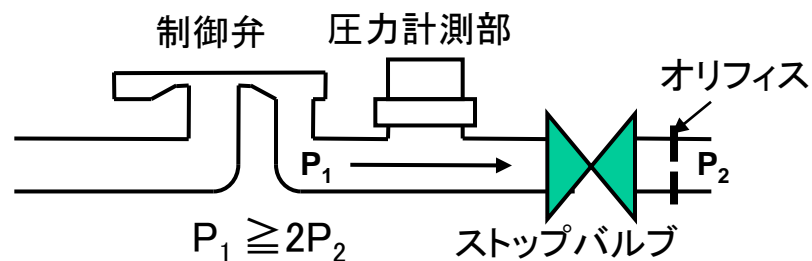
流量制御器の構造

従来のガス流量制御
: マスフローコントローラー
MFC



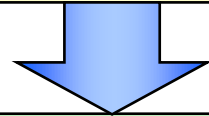
流量を計測して流量を制御する方式

圧力制御式
フローコントロールシステム
FCS



圧力を計測して圧力を制御することでガス流量を制御

制御不能 (大)	バルブ閉 (未制御ガス容量)	制御可能 (なし)
-------------	-------------------	--------------

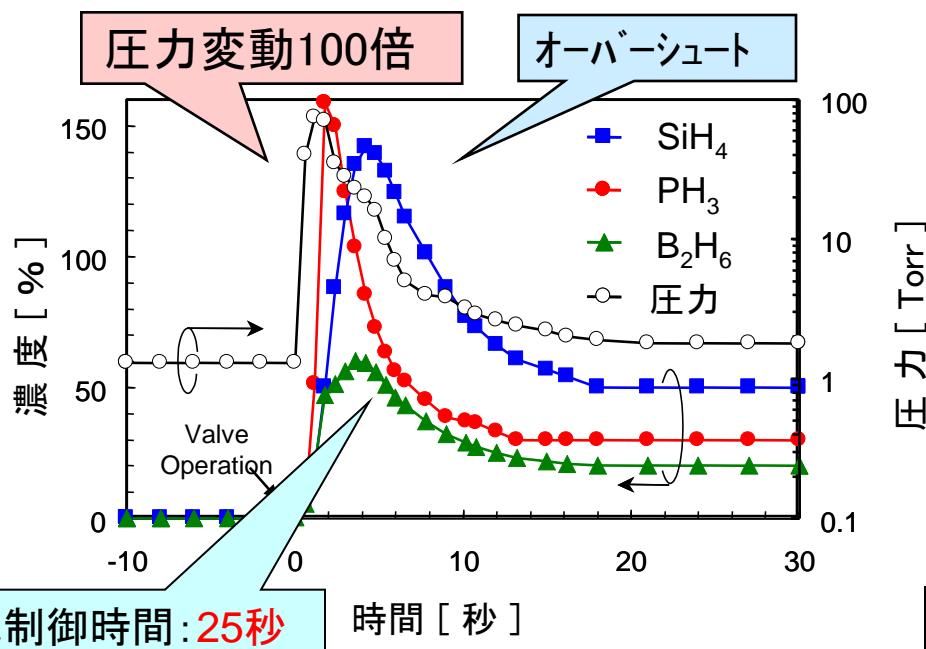


過剰(未制御)流量	バルブ開	設定(制御)流量
-----------	------	----------

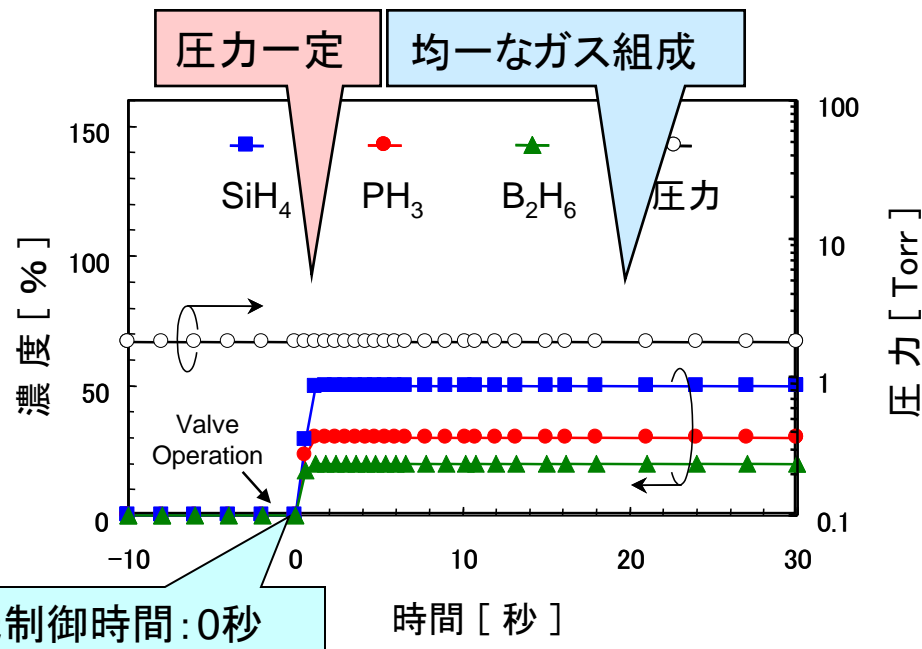
プロセスガス濃度と圧力の経時変化

チャンバ容量 : 1L
全ガス流量 : 100cc/min.
定常状態におけるガス組成
SiH₄/PH₃/B₂H₆ = 30/50/20

MFC+ECV



FCS+ECV



1枚ずつの高速処理ではプロセス時間30秒

成り行き任せのモノ作り

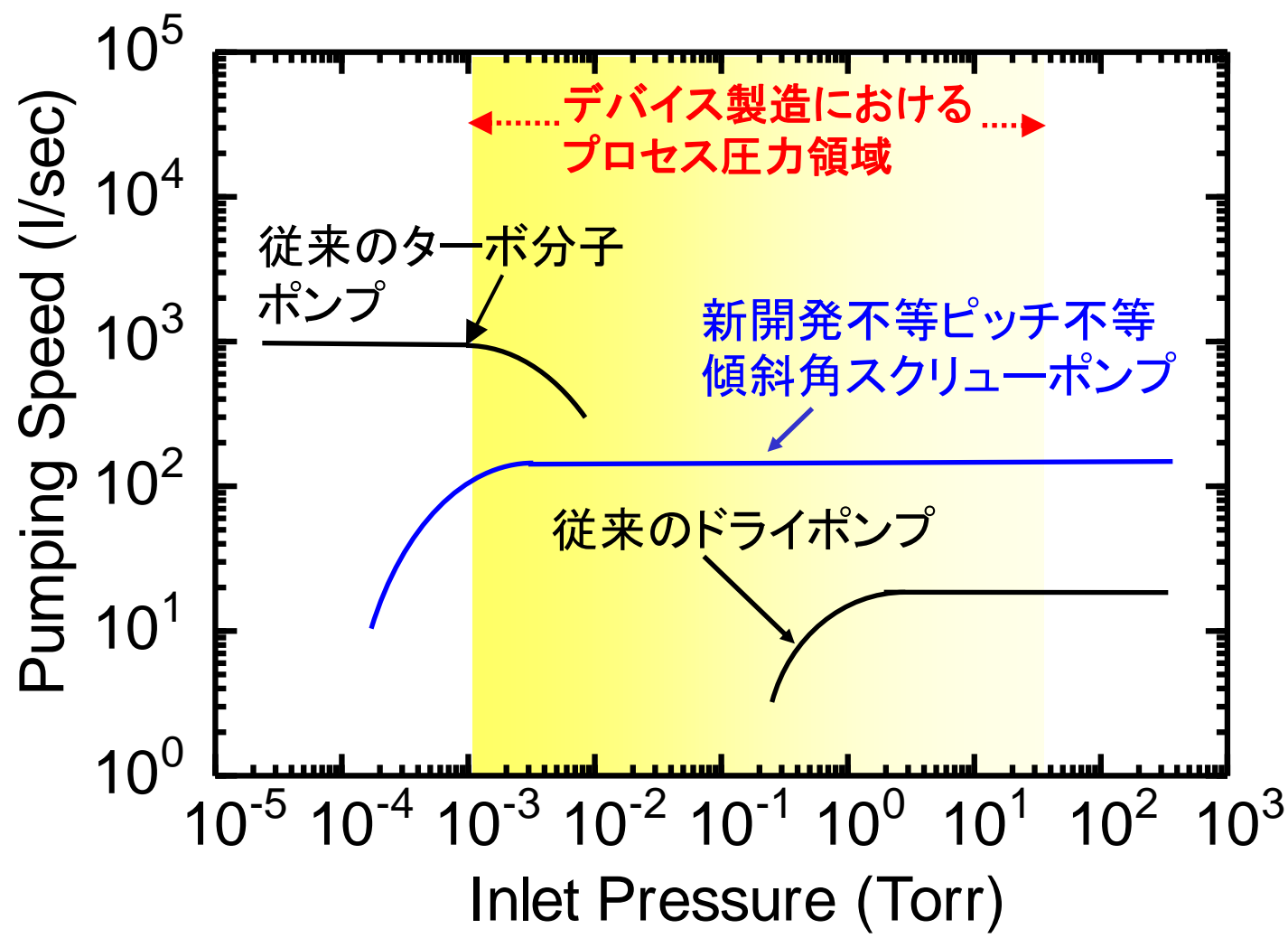
完全制御によるねらい通りのモノ作り

ECV: 電気二重層キャパシタ内蔵電動バルブ

不等ピッチ不等傾斜角 スクリーブータポンプ コンパクトガス排気システム

—— 実際にモノ作りのプロセスが行われるガス圧力範囲
(数mTorrから数Torr : 分子流領域から粘性流領域)
で、同じ排気性能を有するガス排気ポンプの創出——

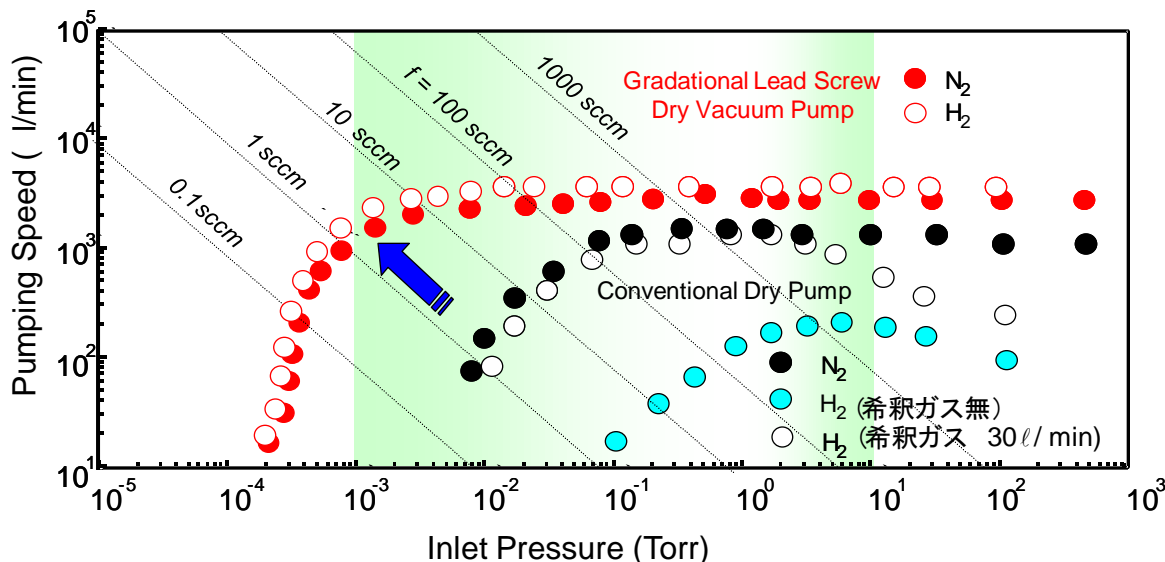
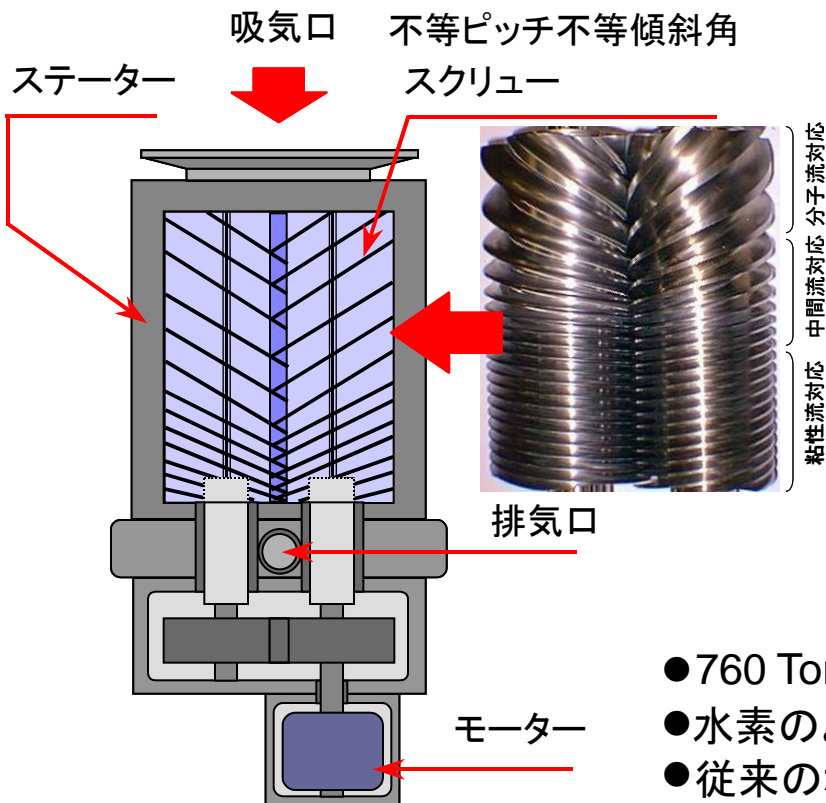
プロセス圧力領域における従来型と新開発のポンプの排気能力



☆ 実際にプロセスを実行するガス圧力領域で排気能力を持つポンプがこれまで存在しなかった！！

不等ピッチ・不等傾斜角スクリーバックポンプ

排気速度 2400 l/min バックポンプ



- 760 Torr から 1 mTorr まで一定の排気速度
- 水素のような軽いガスに対しても排気速度の劣化なし(希釈ガス必要なし)
- 従来のポンプは希釈ガスを流さないで水素ガスが排気できないため、大量の希釈ガス(30 l/min)を必要とした

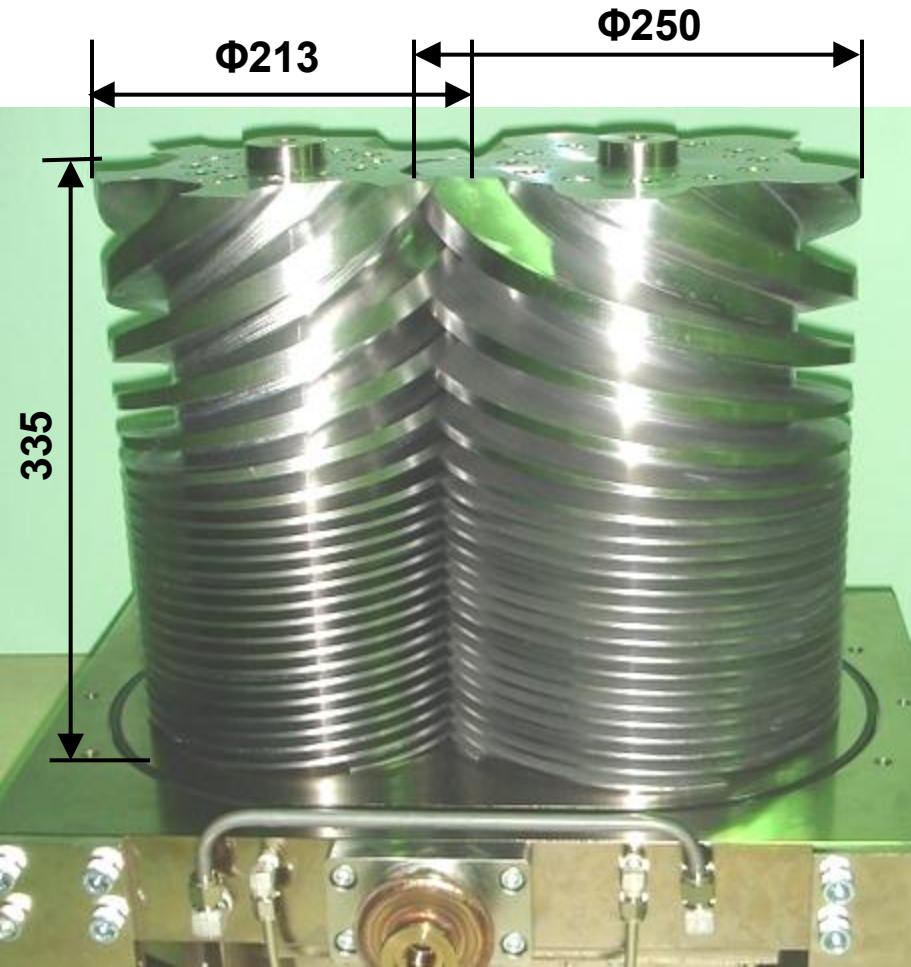
分子流領域から粘性流領域まで排気可能な世界で初めてのポンプ

1996年初めて開発当初:2,400 l/minのスクリー1個を加工するのに150時間以上を要した!! 値段が高すぎて実用化できず。

スクリーブースタポンプ

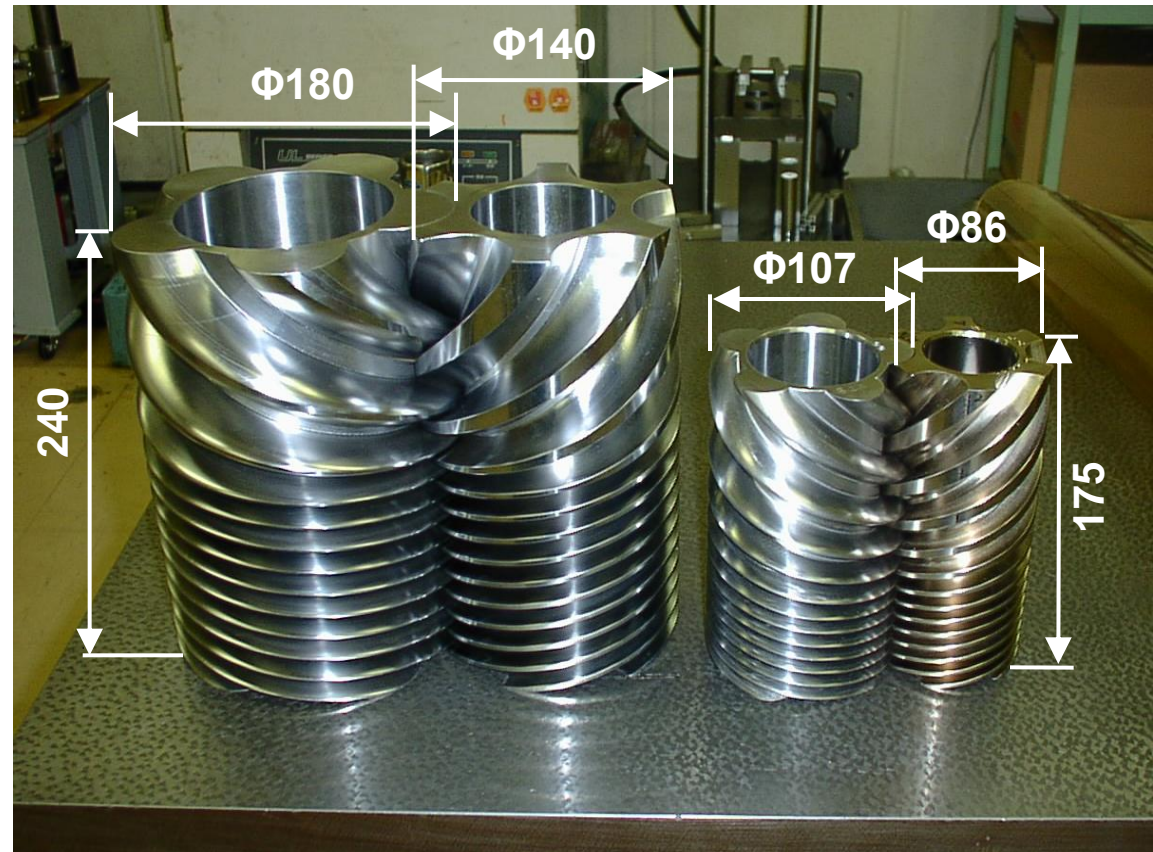
☆6軸制御複合旋盤 } の連続開発
 ☆切削用超硬バイト }

20,000 l/min



7,500 l/min

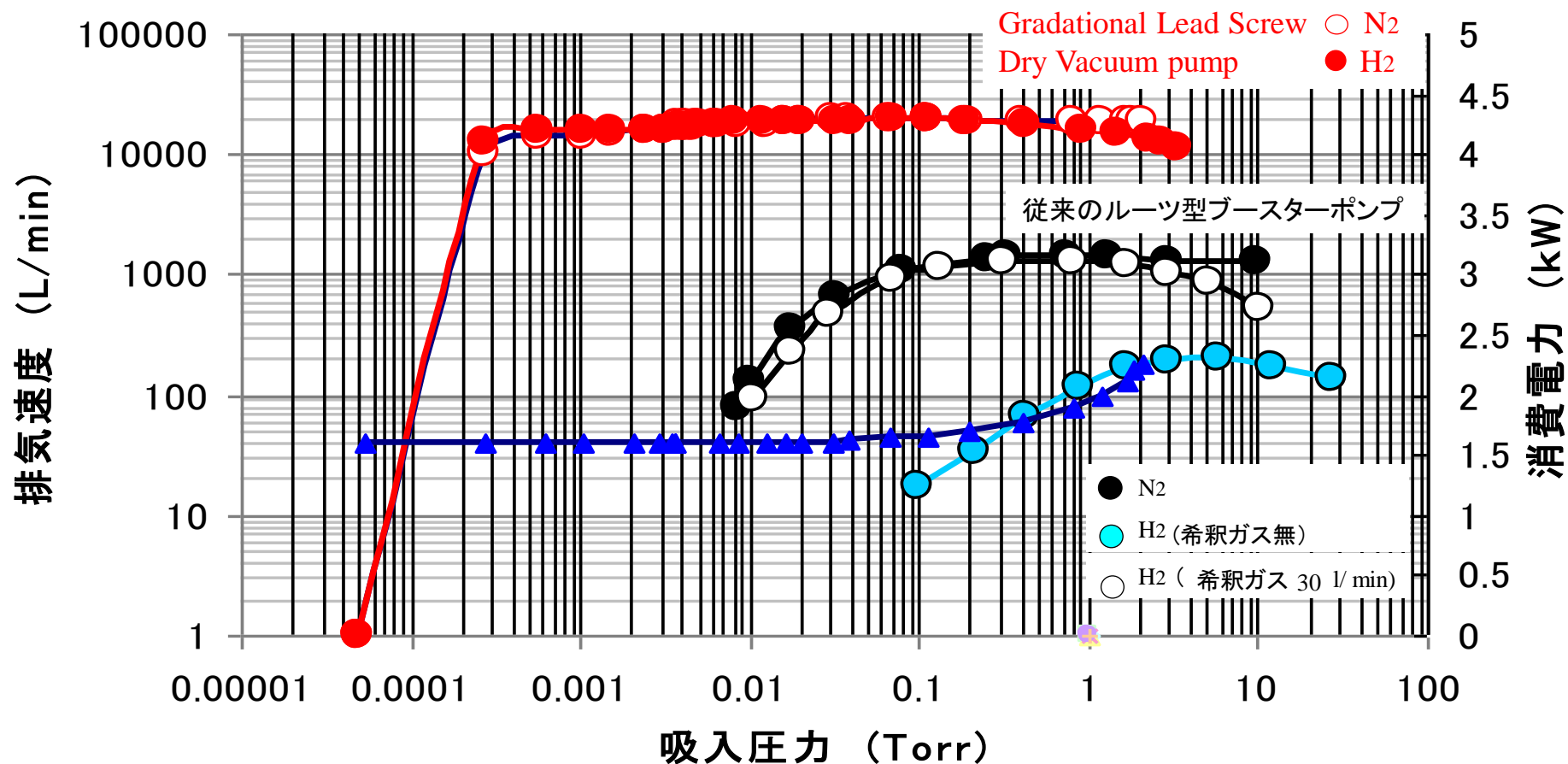
2,000 l/min



現在、20,000 l/minのスクリー1個を15時間以内に加工 ⇨ 産業製品

不等ピッチ・不等傾斜角スクリーブスターポンプ

排気速度 20,000L/ min ブースターポンプ

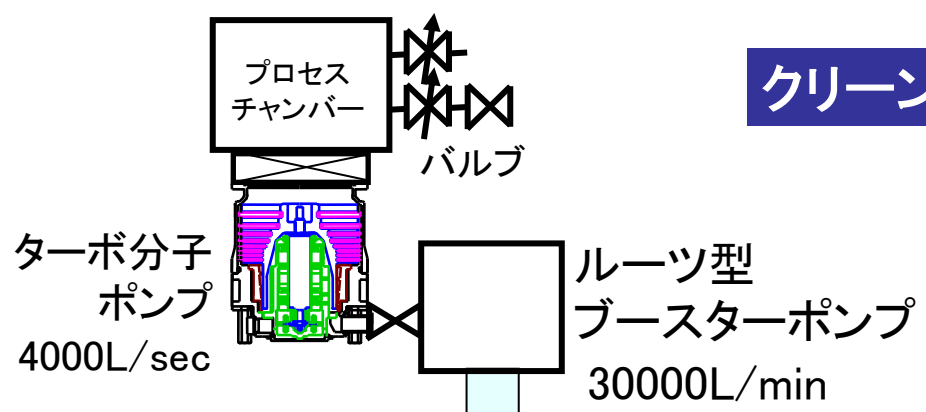


- 水素ガスに対しても排気速度の劣化なし
- 出口圧力が常に30Torr以上の粘性流領域なので、最終段の粗引きポンプまでの排気ダクトを細くしても十分!!

分子流領域から粘性流領域まで排気可能な世界で初めてのポンプ

従来排気システムと新排気システムの比較

従来の排気系



クリーンルーム

排気ダクト配管径
100mm~200mm
長さ10m以上

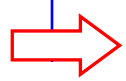
バックポンプ
5000L/min

大きな排気ダクト容量を排気するため、
大排気量バックポンプ必要

ターボ分子ポンプ: 2kW
ブースターポンプ: 3.5kW
バックポンプ: 10kW

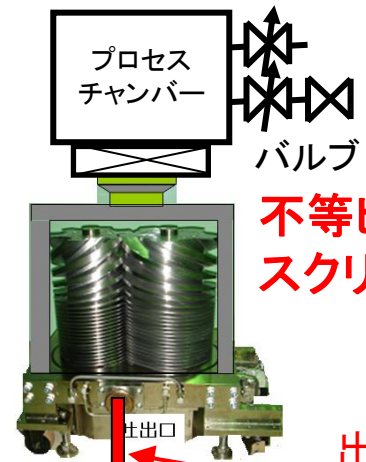
ユーテリテイルーム

15.5kW



2.5kW

新排気系



不等ピッチ不等傾斜角
スクリーブースターポンプ
20000L/min

出口圧力は入口圧力に依
存せず常に30Torr以上

排気ダクト配管径
10mm~20mm
長さ10m以上

スクリーバックポンプ
300L/min

⇒ 徹底的低消費電力

スクリーブースターポンプ: 2kW
バックポンプ: 0.5kW